دانشگاه صنعتی شریف

دانشکده مهندسی برق

پایان نامه دکتری

گرایش الکترونیک

عنوان:

طراحی و ساخت مبدل آنالوگ به دیجیتال ولتاژ پایین کم مصرف با روش فولدینگ

نگارش:

حمید موحدیان عطار

استاد راهنما:

دکتر مهرداد شریف بختیار

دی ۱۳۸۶

چکیده

مبدل های آنالوگ به دیجیتال[1] سریع با ولتاژ تغذیه و توان پایین امروزه از عناصر کلیدی سیستمهای پردازشی و مخابراتی به شمار می روند. کاربرد روز افزون دستگاههای الکترونیکی که با باتری کار می کنند، مسئله ولتاژ تغذیه و بخصوص توان مصرفی را از اهمیت ویژه ای برخوردار ساخته است.

مبدل های فولدینگ[2] به عنوان مبدل های موازی که می توان گفت نزدیک ترین ساختار به مبدل های فلاش[3] محسوب می شوند، کارآیی خود را از نظر قابلیت رسیدن به سرعت های بالا و تاخیر کم در قدرت تفکیک های ۸ تا ۱۰ بیت به اثبات رسانده اند.

هدف از این پژوهش دستیابی به روشهای عملی برای کاهش توان و ولتاژ تغذیه مبدل های فولدینگ با حفظ و حتی بهبود دیگر مشخصات مبدل است. این هدف از طریق ارائه یک ساختار جدید برای طبقه فولدینگ که به افزایش محدوده ورودی قابل استفاده منجر می شود، دنبال شده است.

[1] Analog to Digital Converter (ADC)

[2] Folding ADC

[3] Flash ADC

این ساختار جدید بصورت همزمان از زوج های تفاضلی با ترانزیستورهای NMOS و PMOS برای فولد کردن[1] سیگنال ورودی استفاده می کند و با استفاده از یک روش ابداعی مشخصه دو گروه فولدر ها[2] را با یکدیگر هماهنگ می سازد. با طراحی یک مدار نمونه برداری[3] حلقه باز که در آن ابداعاتی برای کاهش اثرات غیرخطی و افزایش سرعت بدون نیاز به مصرف توان اضافی به کار گرفته شده است، گام دیگری در جهت رسیدن به هدف پژوهش برداشته شده است.

مدار مقایسه کننده[4] که برای این مبدل طراحی شده مدار جدیدی است که نسبت به نمونه های موجود مزایای قابل توجهی از جمله حساسیت کم به اختلاف خازن پارازیتیک دو مسیر و توان نسبتاً کم را از خود نشان می دهد.

ارائه یک روش جدید برای کالیبراسیون مبدل آنالوگ به دیجیتال فولدینگ و تصحیح خطاهای ناشی از عدم تطابق[5] بدون نیاز به مصرف توان بخش دیگری از این پژوهش است که تاثیر اساسی در بهبود رفتار استاتیک و دینامیک مبدل دارد. این روش جدید برپایه ایجاد یک افست قابل برنامه ریزی در ورودی مدارهای فولدکننده استوار است.

پس از آنکه با انجام شبیه سازی های متعدد از کارآیی روش های ارائه شده اطمینان حاصل شد، دو تراشه مبدل طراحی و برای ساخت با تکنولوژی ۰/۱۸ میکرون به شرکت سازنده ارسال شد. یکی از این تراشه ها بدون امکان کالیبراسیون و دیگری دارای امکان کالیبراسیون است.

---

[1] folding

[2] folders

[3] Track and Hold

[4] Comparator

[5] mismatch

تمام بلوک های طراحی و ساخته شده با موفقیت آزمایش شد و در نهایت برای مبدل بدون کالیبراسیون میزان خطای *INL* اندازه گیری شده کمتر از ^{LSB}۰/۵۵ و خطای *DNL* اندازه گیری شده کمتر از^{LSB} ۰/٤ بدست آمد. این مبدل تا فرکانس نمونه برداری $^{MS/sec}$ ۱۰۰ آزمایش شده و *SNDR* اندازه گیری شده برای ورودی ^{MHZ}۲ مقدار ^{dB}٤۵ (معادل ۷/۲ بیت) است. ولتاژ تغذیه مبدل ۱/۵ ولت (۲۰ درصد کمتر از ولتاژ نامی تکنولوژی ۰/۱۸ میکرون) است و این ولتاژ تا ۱/۲ ولت می تواند کاهش داده شود.

توان مصرفی مبدل با تغذیه ۱/۵ ولت کمتر از٤۳ میلی وات و با تغذیه ۱/۲ ولت ۳۰ میلی وات است که به مراتب پایین تراز مدارات مشابه است. با استفاده از امکان کالیبراسیون می توان خطای *INL* را تا ۰/۳ $0.3LSB$ کاهش داد و به علت کاهش اندازه ترانزیستورهای ورودی در این حالت، فرکانس نمونه برداری تا بیش از ۲ برابر قابل افزایش است.

فهرست مطالب

فصل۱ مقدمه و تعاریف ۱

۱-۱ مقدمه ۱

۱-۲ روشهای متداول تبدیل سیگنال آنالوگ به دیجیتال ۳

۱-۲-۱ مبدل فلاش ۳

۱-۲-۲ مبدل دو مرحله ای: ٤

۱-۲-۳ مبدل فولدینگ: ٤

۱-۲-٤ مبدل پایپ لاین: ٥

۱-۳ روابط حاکم بر تبدیل سیگنال آنالوگ به دیجیتال و خطاهای موجود ٦

۱-٤ مسئله توان ۱۰

۱-٥ اهداف طراحی ۱۱

فصل۲ بررسی ساختاری مبدل های آنالوگ به دیجیتال موازی ۱۳

۲-۱ مقدمه ۱۳

۲-۲ تعریف مبدل موازی ۱٤

۲-۳ مدل کلی مبدل موازی ۱٦

۲-٤ ساختارهای متداول ۱۸

۲-٥ حساسیت به خطاها ۲۱

۲-٦ ساختارهای دیگر ۲۷

۲-۷ مقایسه ساختارها ۳٤

فصل۳ مبدل آنالوگ به دیجیتال فولدینگ با درون یابی ۳٦

۳-۱ مقدمه ۳٦

۳-۲ مفهوم فولدینگ ۳۷

۳-۳ پیاده سازی مشخصه فولدینگ ٤۰

۳-۳-۱ پیاده سازی مشخصه فولدینگ ایده آل ٤۰

۳-۳-۲ پیاده سازی مشخصه فولدینگ غیر ایده آل ٤۳

۳-٤ درون یابی ٤٦

۳-٤-۲ درون یابی ولتاژی ٤۷

۳-٤-۳ درون یابی جریانی ٤۹

۳-٥ دکودر دیجیتال ٤۹

۳-٦ کاهش توان در مبدل فولدینگ ٥۱

۳-٦-۲ روش های موجود برای افزایش محدوده ورودی ۵۵
۳-٦-۳ روش پیشنهادی برای افزایش دامنه ورودی ۵۷
۳-٦-٤ تنظیم مشخصه های NMOS و PMOS ۵۹
۳-۷ انتخاب جزئیات ساختار مبدل فولدینگ ٦٤

فصل٤ پیاده سازی سیستمی و مدل سازی رفتاری ٦۷
٤-۱ مدل رفتاری مبدل فولدینگ ٦۸
٤-۱-۲ پیش تقویت کننده ۷۰
٤-۱-۳ تقویت کننده فولدینگ ۷۲
٤-۱-٤ شبکه متوسط گیری ۷٤
٤-۱-۵ شبکه درون یابی ۷٦
٤-۱-٦ مقایسه کننده ۷۷
٤-۱-۷ مبدل درشت گام ۷۸
٤-۲ شبیه سازی رفتاری و نتایج آن ۸۰
٤-۲-۱ شبیه سازی رفتار استاتیک ۸۰
٤-۲-۱-۱ تأثیر عملکرد مدار جبران روی خطای استاتیک خروجی ۸۰
٤-۲-۱-۲ اطمینان از صحت عملکرد مدار جبران ۸۲
٤-۲-۱-۳ تأثیر عوامل مختلف خطا روی خطای استاتیک خروجی ۸۳
٤-۲-۱-٤ تأثیر متوسط گیری در کاهش خطا ۸٦
٤-۲-۲ شبیه سازی رفتار دینامیک ۸۸

فصل۵ طراحی مدار در سطح ترانزیستور ۹۵
۵-۱ مقدمه ۹۵
۵-۲ مدار نمونه برداری ۹۷
۵-۲-۱ بررسی مدارهای نمونه برداری ۹۷
۵-۲-۲ بررسی خازن ورودی مبدل فولدینگ ۱۰۱
۵-۲-۳ طراحی مدار نمونه برداری ۱۰۵
۵-۳ پیش تقویت کننده ۱۱۹
۵-٤ تقویت کننده فولدینگ ۱۲۱
۵-۵ منابع جریان ثابت ۱۲۳
۵-٦ بارهای خروجی و شبکه درون یابی ۱۲٦
۵-۷ مدار تنظیم مشخصه پیش تقویت کننده‌های NMOS و PMOS ۱۲۸
۵-۸ سوئیچ متعادل کننده خروجی ۱۳۰
۵-۹ نردبان مقاومتی ۱۳۳

۵-۱۰ مقایسه گر ۱۳۷
۵-۱۰-۱ بررسی مقایسه‌گرهای دینامیک ۱۳۷
۵-۱۰-۲ تحلیل افست دینامیک مقایسه گر ۱۳۹
۵-۱۰-۳ مقایسه گر با افست دینامیک پایین ۱۴۷
۵-۱۱ مقایسه گرهای مبدل درشت گام ۱۴۹
۵-۱۲ مدارهای منطقی دیجیتال ۱۵۰
۵-۱۳ مدارات درایور پالس‌های ساعت ۱۵۳
۵-۱۴ شبیه سازی‌های دینامیک مداری ۱۵۶

فصل۶ پیاده سازی، ساخت و آزمون ۱۶۰
۶-۱ طراحی لی اوت ۱۶۰
۶-۱-۱ طراحی نقشه قرارگیری اجزا ۱۶۱
۶-۱-۲ سلول های فولدینگ ۱۶۲
۶-۱-۳ منابع جریان ثابت ۱۶۴
۶-۱-۴ نردبان مقاومتی ۱۶۵
۶-۱-۵ مقایسه گر ۱۶۶
۶-۱-۶ مدار بایاس ۱۶۷
۶-۱-۷ سایر بخش‌ها ۱۶۷
۶-۲ استراتژی چیپ ۱۶۸
۶-۲-۱ بررسی بلوکهای مختلف مبدل از دید استراتژی چیپ ۱۷۰
۶-۲-۱-۱ مدار نمونه برداری ۱۷۰
۶-۲-۱-۲ نردبان مقاومتی ۱۷۰
۶-۲-۱-۳ مدار بایاس ۱۷۱
۶-۲-۱-۴ مدار تنظیم خودکار بهره ۱۷۱
۶-۲-۱-۵ بلوک فولدینگ ۱۷۲
۶-۲-۱-۶ مدار مبدل درشت گام ۱۷۶
۶-۲-۱-۷ مقایسه گر ها و دکودر دیجیتال ۱۷۶
۶-۲-۲ تعیین پین های ورودی و خروجی ۱۷۷
۶-۳ بررسی تاثیر پکیج روی عملکرد مبدل طراحی شده ۱۸۰
۶-۳-۱ مدل پکیج: ۱۸۰
۶-۳-۲ منابع ایجاد اغتشاش ۱۸۱
۶-۳-۳ مدارهای حساس به اغتشاش ۱۸۳
۶-۳-۴ نحوه القای اغتشاش و راههای کاهش آن ۱۸۴
۶-۴ آزمون ۱۸۹

٦-٤-١ طراحی مدار آزمون ١٩٠
٦-٤-٢ نتایج اندازه گیری ١٩٦
٦-٤-٢-١ اندازه گیری ولتاژهای بایاس ١٩٦
٦-٤-٢-٢ اندازه گیری منحنی مشخصه فولدینگ ١٩٧
٦-٤-٢-٣ اندازه گیری مشخصه استاتیک در فرکانس پایین ١٩٨
٦-٤-٢-٤ اندازه گیری مشخصات دینامیک در فرکانس پایین ٢٠٢
٦-٤-٢-٥ اندازه گیری مشخصات دینامیک در فرکانس بالا ٢٠٣
٦-٤-٢-٦ بررسی اثر کاهش ولتاژ تغذیه بر عملکرد مبدل ٢٠٦

فصل٧ کالیبراسیون ٢٠٧
٧-١ مقدمه ٢٠٧
٧-٢ تاثیر عدم تطابق روی مبدل فولدینگ ٢٠٩
٧-٣ راه حل ارا ئه شده برای حذف خطای ناشی از عدم تطابق ٢١١
٧-٤ آلگوریتم حذف خطای ناشی از عدم تطابق ٢١٣
٧-٥ پیاده سازی مداری مبدل فولدینگ با استفاده از کالیبراسیون ٢١٦
٧-٦ نتایج شبیه سازی مداری مبدل با امکان کالیبراسیون ٢٢٢
٧-٧ ساخت و آزمایش مبدل با کالیبراسیون ٢٢٦
٧-٧-١ طراحی لی اوت ٢٢٦
٧-٧-٢ آزمون ٢٢٨
٧-٧-٢-١ بررسی دقت نردبان مقاومتی ٢٢٨
٧-٧-٢-٢ بررسی عملکرد مدار کالیبراسیون ٢٣١
٧-٧-٢-٣ اندازه گیری خطای استاتیک ٢٣٣
٧-٧-٢-٤ اندازه گیری پاسخ دینامیک ٢٣٩

فصل٨ جمع‌بندی و کارهای آینده ٢٤٠
٨-١ جمع‌بندی ٢٤٠
٨-٢ کارهای آینده ٢٤٤

مراجع ٢٤٦

فهرست اشکال

شکل ۱-۱ مقایسه بازار مصرف الکترونیک به تفکیک نوع محصول ۲
شکل ۱-۲ مبدل فلاش ۳
شکل ۱-۳ مبدل دو مرحله ای ٤
شکل ۱-٤ آ) مبدل فولدینگ ب) مشخصه یک فولدینگ (ضریب فولدینگ برابر ۸) ۵
شکل ۱-۵ مبدل پایپ لاین ٦
شکل ۱-٦ مشخصهٔ ایده آل یک مبدل آنالوگ به دیجیتال سه بیتی و خطای کوانتیزاسیون ۷
شکل ۲-۱ آ و ب: مشخصه گره خطی اشباع شونده پ یک گره غیرخطی اشباع شونده با مرجع b ۱۵
شکل ۲-۲ نمایش یک مبدل موازی ۱۵
شکل ۲-۳ مدل کلی یک مبدل موازی ۱۷
شکل ۲-٤ مبدل فلاش ۳ بیتی ۱۸
شکل ۲-۵ مبدل ۳ بیتی با ضریب درون یابی ٤ ۱۹
شکل ۲-٦ مبدل فولدینگ ۳ بیتی (۱ بیت از مبدل ریزگام و ۲ بیت از مبدل درشت گام) ۲۰
شکل ۲-۷ ساختن سیگنال فولدینگ با ساختار شیب یکسان ۲۱
شکل ۲-۸ مبدل فولدینگ ایده آل ۲۵
شکل ۲-۹ ساختار مرجع – یکسان ۲۸
شکل ۲-۱۰ ساختن مشخصه فولدینگ با استفاده از مشخصه بایاس یکسان ۲۹
شکل ۲-۱۱ ساختار یکسان با حداقل مقایسه کننده ۳۱
شکل ۲-۱۲ یک ساختار مبدل موازی آ) نحوه استخراج بیت پایین در حالت کلی ب) مبدل سه بیتی کامل ۳۲
شکل ۳-۱ آ) بلوک دیاگرام مبدل دو مرحله ای ب) شکل سیگنال باقیمانده ۳۷
شکل ۳-۲ بلوک دیاگرام یک مبدل فولدینگ ۳۸
شکل ۳-۳ مثالی از یک مبدل پنج بیتی ۳۹
شکل ۳-٤ آ) مشخصه دندانه اره ای ب) مشخصه مثلثی ٤۰
شکل ۳-۵ پیاده سازی مشخصه فولدینگ با دیود و ترانزیستور ٤۱
شکل ۳-٦ ساختن مشخصه خطی اشباع شونده با سیگنال های جریانی ٤۲
شکل ۳-۷ یک بلوک فولدینگ عملی با مشخصه غیرایده آل ٤٤
شکل ۳-۸ خروجی بلوک های فولدینگ موازی ٤۵
شکل ۳-۹ اصول روش درون یابی ٤٦
شکل ۳-۱۰ درون یابی ولتاژی ٤۸
شکل ۳-۱۱ درون یابی جریانی ٤۹
شکل ۳-۱۲ آرایش دکودر دیجیتال ۵۰
شکل ۳-۱۳ محدودیت محدوده ورودی ۵٤
شکل ۳-۱٤ ساختن سیگنال ورودی دیفرانسیل ۵٦

شکل ۳-۱۵ پیش تقویت کننده شبه تفاضلی ۵۷
شکل ۳-۱۶ ساختار پیشنهادی برای افزایش دامنه ورودی مبدل فولدینگ ۵۸
شکل ۳-۱۷ تغییر جهت جریان با استفاده از آ) آیینه جریان ب) کم کردن از جریان ثابت ۵۸
شکل ۳-۱۸ تفاوت در مشخصه های NMOS و PMOS ۶۰
شکل ۳-۱۹ مدار جبران خطای ناشی از یکسان نبودن مشخصه ها با جابجا کردن ولتاژهای مرجع ۶۲
شکل ۳-۲۰ مدار جبران خطای ناشی از یکسان نبودن مشخصه ها با تغییر بهره پیش تقویت کننده ۶۴
شکل ۳-۲۱ بلوک دیاگرام مبدل طراحی شده ۶۵
شکل ۳-۲۲ پیش تقویت کننده شبه تفاضلی با محدوده ورودی وسیع ۶۶
شکل ۴-۱ مدل رفتاری مبدل فولدینگ ۶۸
شکل ۴-۲ مدل رفتاری پیش تقویت کننده ۷۲
شکل ۴-۳ مدل رفتاری تقویت کننده فولدینگ ۷۳
شکل ۴-۴ مدل گره خروجی بلوک های فولدینگ ۷۴
شکل ۴-۵ شبکه متوسط گیری ۷۶
شکل ۴-۶ شبکه درون یابی ۷۷
شکل ۴-۷ مدل رفتاری مقایسه کننده ۷۸
شکل ۴-۸ مدل مبدل درشت گام ۷۹
شکل ۴-۹ مشخصه بلوک فولدینگ بدون تنظیم مشخصه ها ۸۱
شکل ۴-۱۰ خطای DNL و INL ذاتی بدون و با تنظیم بهره ۸۱
شکل ۴-۱۱ مشخصه فولدینگ با جبران سازی ۸۲
شکل ۴-۱۲ تأثیر خطاهای ولتاژی بر INL ۸۴
شکل ۴-۱۳ تأثیر خطاهای جریانی بر INL ۸۵
شکل ۴-۱۴ تأثیر خطاهای مقاومتی بر INL ۸۵
شکل ۴-۱۵ تغییرات ضریب تصحیح خطا با نسبت R_1/R_0 ..... ۸۶
شکل ۴-۱۶ تغییرات ضریب تصحیح خطای شبکه درون یابی با نسبت R_1/R_0 ..... ۸۷
شکل ۴-۱۷ توزیع خطای INL و DNL ۸۸
شکل ۴-۱۸ تغییرات SNDR بر حسب فرکانس ورودی به ازای $f_s=150^{MHz}$ ۸۹
شکل ۴-۱۹ تغییرات SNDR بر حسب پهنای باند بلوک فولدینگ ۹۰
شکل ۴-۲۰ تغییرات SNDR بر حسب پهنای باند با وجود مدار نمونه برداری ۹۱
شکل ۴-۲۱ تأثیر محل پهنای باند پیش تقویت کننده بر SNDR ۹۲
شکل ۴-۲۲ شکل موج خروجی با ورودی نایکویست و بدون مدار نمونه برداری ۹۲
شکل ۴-۲۳ تأثیر مقدار مقاومت درون یابی روی SNDR ۹۳
شکل ۴-۲۴ میزان افت SNDR بر حسب افست ورودی ۹۴
شکل ۵-۱ بلوک دیاگرام مبدل و مدارات جانبی ۹۶
شکل ۵-۲ مدار نمونه برداری گسترده ۱۰۰

شکل ۵-۳ مدل سیگنال کوچک ورودی پیش تقویت کننده ها ۱۰۱
شکل ۵-٤ تغییرات خازن ورودی زوج دیفرانسیل با ولتاژ ورودی آ) PMOS ب) NMOS ۱۰۳
شکل ۵-۵ تغییرات خازن ورودی کل مبدل های تمام NMOS و تمام PMOS با ولتاژ ورودی ۱۰٤
شکل ۵-٦ تغییرات خازن ورودی برای مبدل فولدینگ با زوجهای NMOS و PMOS ۱۰۵
شکل ۵-۷ اصول روش بوت استراپ و شکل موج نقاط مختلف ۱۰۷
شکل ۵-۸ مدار بوت استراپ بکار رفته ۱۰۷
شکل ۵-۹ ساختن ترانزیستور NMOS با پایه ایزوله ۱۰۸
شکل ۵-۱۰ حذف اثر بدنه ترانزیستور سوئیچ ۱۰۹
شکل ۵-۱۱ اتصال سوئیچ مجازی به خروجی ۱۱۱
شکل ۵-۱۲ روشن کردن سوئیچ مجازی با مدار بوت استراپ قرینه مدار بوت استراپ اصلی ۱۱۲
شکل ۵-۱۳ راه حل پیشنهادی برای تامین فرمان مناسب سوئیچ مجازی ۱۱۳
شکل ۵-۱٤ مدار کامل نمونه برداری ۱۱۳
شکل ۵-۱۵ خطای استاتیک نمونه برداری برحسب ولتاژ ورودی ۱۱٤
شکل ۵-۱٦ مدار حذف اثر بدنه سوئیچ مجازی ۱۱۵
شکل ۵-۱۷ تاثیر مدار حذف اثر بدنه سوئیچ مجازی روی خطای استاتیک (Case5) ۱۱۵
شکل ۵-۱۸ تاثیر سوئیچ مجازی و سوئیچ بدنه روی دامنه هارمونیک دوم و سوم برای خازن ثابت ۱۱٦
شکل ۵-۱۹ دامنه هارمونیک دوم و سوم برحسب فرکانس ورودی برای خازن نمونه برداری غیرخطی ۱۱۸
شکل ۵-۲۰ آ) پیش تقویت کنندهPMOS ب) پیش تقویت کننده NMOS ۱۲۱
شکل ۵-۲۱ مدار بایاس منابع جریان NMOS و PMOS ۱۲۲
شکل ۵-۲۲ تقویت کننده های فولدینگ NMOS وPMOS ۱۲۳
شکل ۵-۲۳ مدار معکوس کننده جریان منتجهٔ سلول های PMOS و ایزوله کننده دو گرهٔ جمع کننده ۱۲٤
شکل ۵-۲٤ مدار معکوس کننده جریان منتجهٔ نهایی و ایزوله کننده گرهٔ جمع کننده از گرهٔ خروجی ۱۲۵
شکل ۵-۲۵ بارهای خروجی با فیدبک مثبت ۱۲٦
شکل ۵-۲٦ مدار تنظیم کننده مشخصه پیش تقویت کننده‌ها ۱۲۹
شکل ۵-۲۷ تقویت کننده عملیاتی به کار رفته در مدار تنظیم مشخصه‌ها ۱۲۹
شکل ۵-۲۸ تاثیر استفاده از سوئیچ متعادل کننده روی تغییرات زمانی خروجی ۱۳۲
شکل ۵-۲۹ ورودی پالس تمام دامنه ۱۳۳
شکل ۵-۳۰ مدار ساده شده ورودی مبدل ۱۳۵
شکل ۵-۳۱ مقایسه گر دینامیک ۱۳۸
شکل ۵-۳۲ مقایسه‌گر تغییر یافته ۱۳۸
شکل ۵-۳۳ مدار مقایسه گر تغییر یافته در حالت کلی ۱٤۰
شکل ۵-۳٤ تغییرات ولتاژ افست دینامیک برحسب میزان عدم تطابق خازن‌ها ۱٤۳
شکل ۵-۳۵ افست دینامیک ورودی برحسب ولتاژ V_b برای اختلاف خازن ۱ درصد بین گره‌هایX و Y ۱٤۳
شکل ۵-۳٦ ولتاژ اولیه معادل برای حافظه مقایسه گر ۱٤۵

شکل ۵-۳۷ تاثیر ولتاژ بایاس افست دینامیک ۱٤٦
شکل ۵-۳۸ مقایسه گر با افست دینامیک نزدیک به صفر ۱٤۷
شکل ۵-۳۹ مقایسه گر با افست دینامیک کم ۱٤۸
شکل ۵-٤۰ هیستوگرام ولتاژ افست ورودی ۱٤۹
شکل ۵-٤۱ مدار انتقال دهنده سطح ولتاژ برای مقایسه گر ۱۵۰
شکل ۵-٤۲ گیت های دیجیتال آ) (OR) AND ب)XOR ۱۵۲
شکل ۵-٤۳ حافظه‌های خروجی ۱۵۳
شکل ۵-٤٤ ساختن پالس‌های بدون همپوشانی برای نمونه برداری ۱۵٤
شکل ۵-٤۵ ساختن پالس‌هایی با نسبت زمان فعال متغیر ۱۵٤
شکل ۵-٤٦ تاخیر کلاک‌های چهارگانه نسبت به یکدیگر ۱۵۵
شکل ۵-٤۷ خروجی بلوک فولدینگ به ورودی مشابه شکل ۵-۲۹ ..... ۱۵٦
شکل ۵-٤۸ نمونه‌هایی از طیف خروجی بازسازی شده با فرکانس نمونه برداری ۱۲۵ مگاهرتز ۱۵۸
شکل ۵-٤۹ نحوهٔ وابستگی عملکرد دینامیک مدار با فرکانس ورودی ۱۵۸
شکل ۵-۵۰ تغییرات نسبت سیگنال به نویز و اعوجاج با دامنه سیگنال ۱۵۹
شکل ٦-۱ نقشه قرارگیری نهایی ۱٦۲
شکل ٦-۲ ترانزیستورهای ورودی ۱٦۳
شکل ٦-۳ پیاده سازی ترانزیستورهای منبع جریان به صورت گسترده ۱٦٤
شکل ٦-٤ چگونگی آزمون مبدل ساخته شده ۱٦۹
شکل ٦-۵ تاثیر انحراف یکی از منابع جریان سلول های PMOS به میزان ٪۵ روی مشخصهٔ INL ۱۷۳
شکل ٦-٦ تاثیر انحراف یکی از منابع جریان سلول فولدینگ NMOS به میزان ٪۵ روی مشخصهٔ INL ۱۷۳
شکل ٦-۷ تاثیر تفاوت جریان سلول ها به میزان ٪۵ (یکی از بلوکها) روی مشخصهٔ INL ۱۷٤
شکل ٦-۸ تاثیر تفاوت مقدار منابع جریان ثابت به میزان ۵ میکرو آمپر روی مشخصهٔ INL ۱۷٤
شکل ٦-۹ ترانزیستورهای تنظیم جریان منابع ثابت ۱۷۵
شکل ٦-۱۰ خروجی های کمکی و مدار سوئیچ ۱۷٦
شکل ٦-۱۱ نحوه قرارگرفتن پایه های تراشه مبدل ۱۷۹
شکل ٦-۱۲ مدل دواتصال مجاور پکیج ۱۸۱
شکل ٦-۱۳ کاهش اغتشاش ناشی از سوئیچینگ روی مدار ورودی و ولتاژهای مرجع ۱۸۵
شکل ٦-۱٤ تراشهٔ ساخته شده ۱۸۸
شکل ٦-۱۵ بلوک دیاگرام مدار آزمون ۱۹۰
شکل ٦-۱٦ مبدل جریان دیفرانسیل به ولتاژ یکطرفه ۱۹۲
شکل ٦-۱۷ برد آزمون مونتاژ شده ۱۹٤
شکل ٦-۱۸ مجموعه آزمون ۱۹٦
شکل ٦-۱۹ منحنی مشخصه فولدینگ شبیه سازی شده ۱۹۸
شکل ٦-۲۰ منحنی مشخصه فولدینگ اندازه گیری شده ۱۹۸

شکل ٦-٢١DNL اندازه گیری شده ٢٠٠
شکل ٦-٢٢INL اندازه گیری شده ٢٠٠
شکل ٦-٢٣DNL شبیه سازی ٢٠١
شکل ٦-٢٤INL شبیه سازی ٢٠١
شکل ٦-٢٥ تاثیر مدار تنظیم خودکار بهره در کاهش خطا درمحدوده کدهای میانی ٢٠٢
شکل ٦-٢٦ منحنی تغییرات SNDR با فرکانس ورودی ٢٠٣
شکل ٦-٢٧ طیف خروجی بافرکانس نمونه برداری ١٠٠ مگاهرتز و ورودی ١/٠٧ مگاهرتز ٢٠٤
شکل ٦-٢٨ منحنی تغییرات SNRوSNDR با فرکانس ورودی در فرکانس نمونه برداری ٨٠ مگاهرتز ٢٠٥
شکل ٦-٢٩ طیف خروجی بافرکانس نمونه برداری ٨٠ مگاهرتز و ورودی ٢/٠٥ مگاهرتز ٢٠٥
شکل ٧-١ یک بلوک فولدینگ ٢١٠
شکل ٧-٢ اجزای تشکیل دهنده افست ورودی ٢١٠
شکل ٧-٣N-bit Trimmable MOSFET ٢١٢
شکل ٧-٤ مبدل دیجیتال به افست ٢١٢
شکل ٧-٥ مدار حذف افست ورودی ٢١٥
شکل ٧-٦ تغییرات افست برحسب کد ٨ بیتی خام ٢١٨
شکل ٧-٧ تغییرات افست برحسب کد ٨ بیتی مرتب شده ٢١٩
شکل ٧-٨ مشخصه جدول دکودر ٢٢٠
شکل ٧-٩ مدار ساده شده پیش تقویت کننده های قابل تنظیم ٢٢١
شکل ٧-١٠ تاثیر کالیبراسیون روی خطای استاتیک شبیه سازی شده ٢٢٣
شکل ٧-١١ طیف فرکانسی خروجی شبیه سازی شده برای فرکانس نمونه برداری ٣٠٣ مگاهرتز ٢٢٥
شکل ٧-١٢ کاهش خازن ورودی مبدل با کوچک کردن ترانزیستورهای ورودی ٢٢٥
شکل ٧-١٣ لی اوت ترانزیستور قابل برنامه ریزی ٢٢٦
شکل ٧-١٤ لی اوت سلول فولدینگ: آ) مبدل اصلی و ب) مبدل با امکان کالیبراسیون ٢٢٧
شکل ٧-١٥ واسط کاربر طراحی شده ٢٢٨
شکل ٧-١٦ خطای ولتاژهای مرجع ٢٢٩
شکل ٧-١٧ میزان عدم تطابق مقاومت های نردبان مقاومتی ٢٣٠
شکل ٧-١٨ نحوه پیاده سازی نردبان مقاومتی ٢٣١
شکل ٧-١٩ مقادیر اندازه گیری شده افست قابل برنامه ریزی ٢٣٢
شکل ٧-٢٠ مقادیر اندازه گیری شده به ترتیب صعودی برحسب کدهای مرتب شده ٢٣٣
شکل ٧-٢١ چگونگی جایگزینی بخش دیجیتال دو مبدل ٢٣٥
شکل ٧-٢٢ خطای INL اندازه گیری شده پس از کالیبراسیون با روش عبور از صفر ٢٣٧
شکل ٧-٢٣ مشاهده خطای INL روی صفحه اسیلوسکوپ ٢٣٨
شکل ٧-٢٤ خطای INL و DNL مبدل قبل و بعد از کالیبراسیون ٢٣٨
شکل ٧-٢٥ تاثیر کالیبراسیون بر رفتار دینامیک مبدل آ) بیش از کالیبراسیون ، ب) پس از کالیبراسیون ٢٣٩

فصل۱ مقدمه و تعاریف

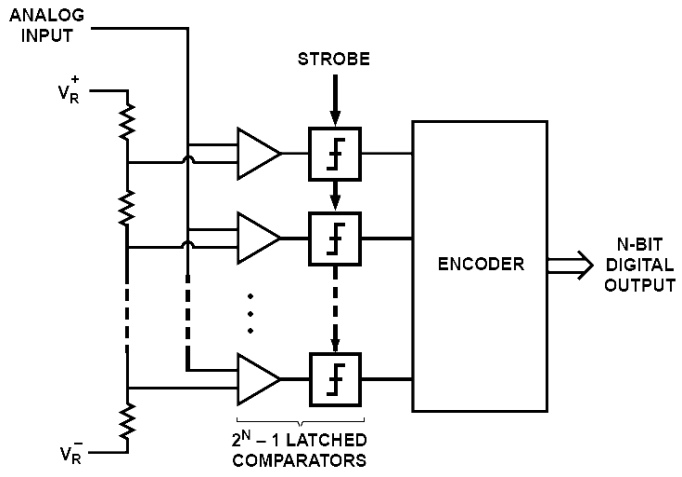
۱-۱ مقدمه

مبدل های آنالوگ به دیجیتال امروزه به عنوان پل ارتباطی دنیای واقعی کمیت های آنالوگ و دنیای پردازش دیجیتال نقش کلیدی در بسیاری از سیستم های الکترونیکی، مخابراتی و کنترلی را ایفا می کنند. بالا رفتن روزافزون سرعت و دقت پردازشگرهای دیجیتال از یک طرف و روند رو به رشد سیستمهای قابل حمل که عمدتاً با باتری کار می کنند و نیاز آنها به اجزاء کم مصرف از طرف دیگر، طراحی مبدل های سریع و بخصوص کم مصرف را به عنوان یکی از موضوعات پرخواستار برای پژوهش در زمینه مدارهای مجتمع درآورده است. همانگونه که در شکل۱-۱ دیده می شود، مبدلهای داده از نظر سهم بازار پس از رگولاتورها و مراجع ولتاژ در مرتبه دوم قرار دارند و پیش بینی شده است در سالهای ۲۰۰۵ تا ۲۰۰۷ بین ٤٥۰۰ تا بیش از ٦۰۰۰ میلیون دلار فروش داشته باشند[۱].

۱-۲ روشهای متداول تبدیل سیگنال آنالوگ به دیجیتال

۱-۲-۱ مبدل فلاش[1]

در ساده ترین حالت، ورودی آنالوگ به $۲^N-۱$ مقایسه گر اعمال می شود. ولتاژ مرجع مقایسه گر ها مضربی از ولتاژ معادل کم ارزش ترین بیت[2] است. خروجی مقایسه گرها توسط یک مدار منطقی مناسب به کد باینری تبدیل می گردد. از آنجا که تعداد مقایسه گرها (و در نتیجه توان مصرفی و سطح تراشه) به طور نمایی با درجه تفکیک[3] افزایش می یابد، این نوع A/D برای رزولوشنهای کم (٦ بیت و کمتر) و سرعتهای بسیار بالا مناسب است[٤][٥][٦][٧]. در برخی موارد جهت کاهش تاثیر افست مقایسه گرها، در ورودی آنها تقویت کننده های تفاضلی با بهره کم و سرعت بالا قرار داده می شود(شکل۱-۲)[۸][۹]. برای کاهش تعداد این تقویت کننده ها می توان از درون یابی[4] استفاده نمود[۱۰] [۱۱][۱۲][۱۳].



شکل ۱-۲ مبدل فلاش

[1] -Flash Converter

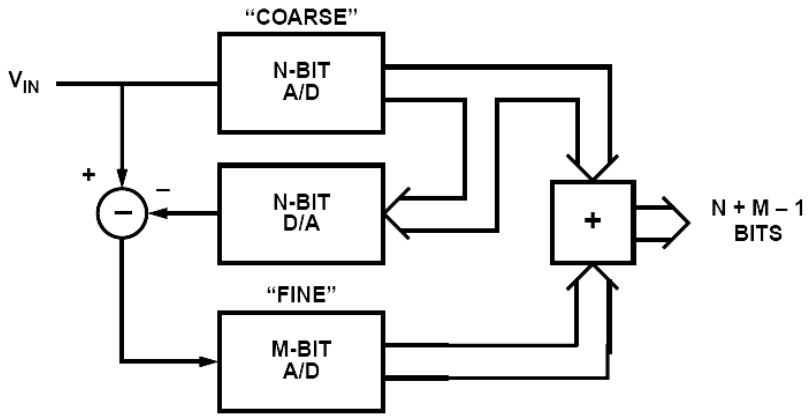
[2] Least Significant Bit (LSB)

[3] Resolution

[4] -Interpolation

۱-۲-۲ مبدل دو مرحله ای[1]:

برای غلبه بر مشکل تعداد زیاد مقایسه گرها در مبدل فلاش، ساختارهای دو مرحله ای پیشنهاد گردیدند. در اینجا دو مبدل فلاش بکار گرفته می شود(شکل۱-۳). برای داشتن سرعت بالا امکان پایپ لاین کردن نیز وجود دارد[١٤][١٥]. همچنین به کمک همپوشانی محدوده دو A/D می توان دقت مدار را بهبود بخشید[١٦][١٧].



شکل ۱-۳ مبدل دو مرحله ای

۱-۲-۳ مبدل فولدینگ[2]:

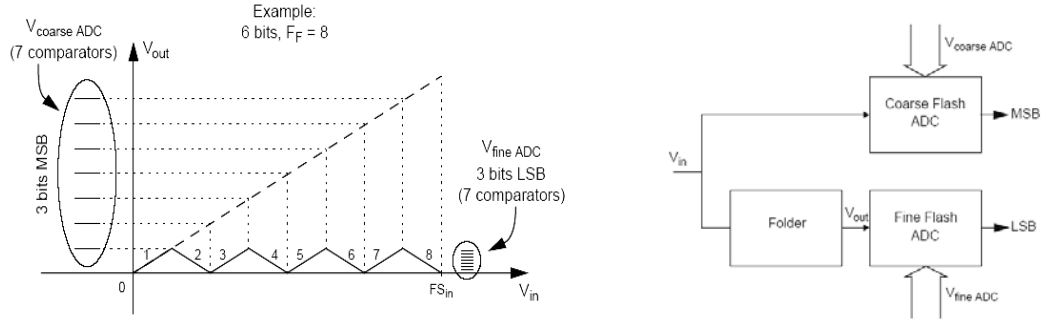
در این نوع مبدل، یک نگاشت غیر خطی از ورودی مدار به ورودی مقایسه گرها انجام می شود.(شکل۱-٤) مداری که این عمل را انجام می دهد فولدر[3] خوانده می شود[۱۸]. هدف آن است که هرمقایسه گر اطلاعات بیشتری درباره سیگنال ورودی فراهم نماید و در نتیجه تعداد کل مقایسه

[1] - Two-Step Converter

[2] -Folding Converter

[3]- Folder

گرها نسبت به مبدل فلاش کاهش یابد. هرچند که به سبب تاخیر ناشی از فولدرها سرعت نمونه برداری این نوع مبدل از فلاش کمتر است.



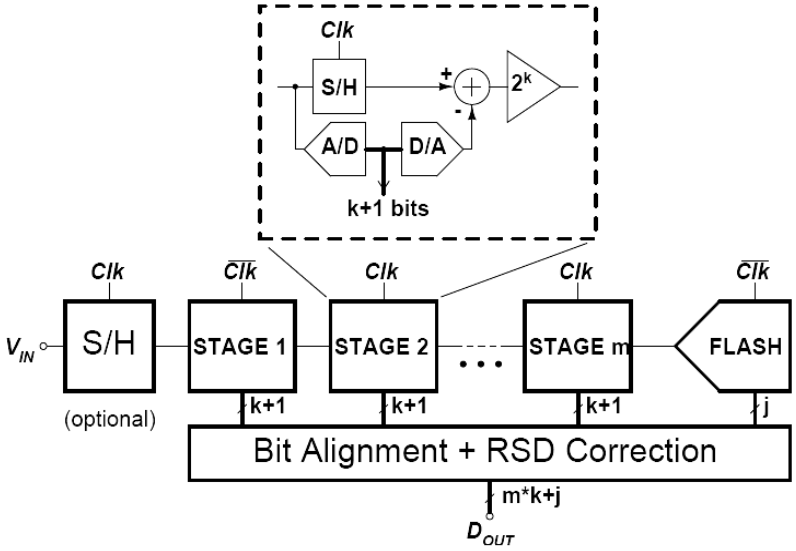
ب آ

شکل ۱-٤ آ) مبدل فولدینگ ب) مشخصه یک فولدینگ (ضریب فولدینگ برابر ۸)

۱-۲-٤ مبدل پایپ لاین[1]:

ایده اصلی این مبدل افزایش سرعت به بهای افزایش تاخیر مبدل است. همانگونه که در شکل۱-۵ نشان داده شده است، m طبقه به طور همزمان در حال پردازش m نمونه متوالی از سیگنال ورودی هستند. در هر طبقه، ورودی توسط یک مبدل با درجه تفکیک کم کوانتیزه می گردد و سپس اختلاف مقدار معادل کد دیجیتال به دست آمده و ورودی محاسبه گشته، پس از تقویت به طبقه بعد می رود. بدین شکل محدوده ورودی تمام طبقات مشابه خواهد بود[۱۹][۲۰][۲۱][۲۲].

[1] -Pipeline Converter



شکل ۱-۵ مبدل پایپ لاین

۱-۳ روابط حاکم بر تبدیل سیگنال آنالوگ به دیجیتال و خطاهای موجود

بصورت ایده آل، یک مبدل آنالوگ به دیجیتال سیگنال (فرضاً ولتاژ) پیوسته ورودی را به رشته ای از کلمات دیجیتال N-بیتی مطابق با رابطهٔ زیر می نگارد:

$$V_{IN} = V_{FS} \sum_{k=0}^{N-1} \frac{b_k}{2^{k+1}} + \varepsilon \qquad (۱-۱)$$

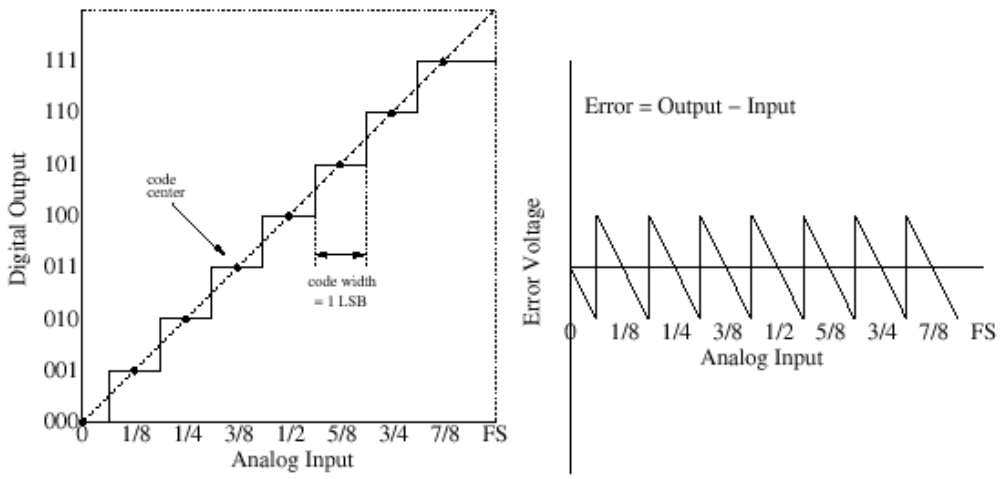
در این رابطه V_{FS} حداکثر ولتاژ ورودی[1]، b_k هر یک از بیت های خروجی و ε خطای کوانتیزاسیون است. این رابطه همچنین می تواند بر اساس کم ارزش ترین بیت نوشته شود:

$$V_Q = \frac{V_{FS}}{2^N} = 1LSB \qquad (۱-۲)$$

$$V_{IN} = V_Q \sum_{k=0}^{N-1} b_k 2^k + \varepsilon \qquad (۱-۳)$$

مشخصهٔ ایده آل یک مبدل سه بیتی در شکل زیر دیده می شود:

[1] Full-Scale Input Voltage



شکل ۱-٦ مشخصهٔ ایده آل یک مبدل آنالوگ به دیجیتال سه بیتی و خطای کوانتیزاسیون

هر کد دیجیتال در بر گیرندهٔ محدودهٔ کوچکی از ورودی با عرض یک LSB حول مرکز کد[1] است. تفاوت بین ورودی آنالوگ و معادل آنالوگ نزدیکترین مرکز کد، خطای کوانتیزاسیون[2] نامیده میشود. از آنجا که تعداد بیت های مبدل (قدرت تفکیک یا رزولوشن) محدود است، حتی یک مبدل ایده آل نیز با هر تبدیل مقداری خطای کوانتیزاسیون تولید می کند.

نسبت سیگنال به نویز ناشی از کوانتیزاسیون مستقیماً قابل محاسبه است. محدودهٔ خطا برابر کوانتم سطح ولتاژ[3](یا همان LSB) است. با فرض اینکه پراکندگی خطای کوانتیزاسیون بصورت یکنواخت بین $-0.5\ LSB$ تا $0.5\ LSB$ در عرض هر کد باشد، مقدار مربوط به ولتاژ خطا برابر است با:

$$E\{\varepsilon^2\} = \frac{1}{V_Q}\int_{-\frac{1}{2}V_Q}^{+\frac{1}{2}V_Q} \varepsilon^2 d\varepsilon = \frac{1}{V_Q}\left[\frac{\varepsilon^3}{3}\right]_{-\frac{1}{2}V_Q}^{+\frac{1}{2}V_Q} = \frac{V_Q}{12} \qquad (٤-١)$$

با فرض ناوابستگی این نویز و با اعمال یک ورودی با دامنه حداکثر:

---

[1] -Code Center

[2] -Quantization Error

[3] -Least Significant Bit

$$V_{rms} = \frac{V_{FS}}{2\sqrt{2}} = \frac{2^N V_Q}{2\sqrt{2}} \qquad (۵-۱)$$

نسبت سیگنال به نویز(تنها ناشی از کوانتیزاسیون) به صورت زیر بدست می آید:

$$SNR = 20\log\left(\frac{V_{rms}}{\sqrt{E(\varepsilon^2)}}\right) = 20\log(2^N\sqrt{1.5}) = 6.02N + 1.76dB \qquad (۶-۱)$$

در عمل، خطاهای دیگری نیز عملکرد مبدل را تحت تاثیر قرار می دهند. برخی از این خطا ها مستقل از سرعت تغییرات ورودی و/یا سرعت نمونه برداری هستند و به آنها خطاهای استاتیک[1] گفته می شود (مثل خطای افست، خطای بهره و یا غیر خطی بودن) و دسته ای از این خطاها تابع فرکانس ورودی و نرخ نمونه برداری است (خطاهای دینامیک مثل اعوجاج هارمونیکی یاافت نسبت سیگنال به نویز واعوجاج).در ادامه به بیان برخی تعاریف بیان کننده مشخصات وخطاهای مبدل آنالوگ به دیجیتال خواهیم پرداخت.

قدرت تفکیک[2] : تعداد بیت های خروجی که تعیین کننده اندازهٔ *LSB* ، محدودهٔ دینامیک،عرض کد و خطای کوانتیزاسیون است.

محدودهٔ دینامیک[3]: نسبت کوچکترین خروجی ممکن (= یک *LSB*) به بزرگترین خروجی ممکن (ورودی تمام–مقیاس) . از نظر ریاضی محدودهٔ دینامیک برابراست با:

$$20\log_{10} 2^N \approx 6N \qquad (۷-۱)$$

خطای بهره[4]: بنا بر تعریف میزان انحراف شیب مشخصهٔ مبدل (خطی که از نقاط صفر و ورودی تمام–مقیاس می گذرد) با شیب ایده آل($2^N / V_{FS}$).

[1] -Static Errors

[2] Resolution

[3] Dynamic Range

[4] Gain Error

خطای افست[1] : بنا بر تعریف میزان انحراف ورودی مربوط به نخستین جهش خروجی نسبت به مقدار ایده آل ($۰/۵^{LSB}$). در مرجع [۲۳]خطای بهره و افست مجموعاً به صورت زیر تعریف شده است: مقادیری که ورودی باید در یکی (خطای بهره) ضرب و با دیگری (خطای افست) جمع شود تا میزان متوسط مربع انحراف خروجی به حداقل برسد.

میزان غیر خطی بودن تفاضلی[2]: انحراف عرض کد (فاصلهٔ بین دو جهش متوالی خروجی) نسبت به مقدار ایده آل یک LSB.

میزان غیر خطی بودن انتگرالی[3]: فاصلهٔ مرکز کد (محل جهش خروجی) نسبت به مقدار ایده آل . مقدار این فاصله پس از تصحیح خطاهای بهره و افست اندازه گیری می شود [۱۵].

کدهای گمشده[4] : کدهای خروجی که به ازای هیچ مقداری از ورودی تولید نمی شوند. معمولاً DNL بزرگتر از یکLSB عامل این پدیده است.

یکنواختی[5] : در یک مبدل یکنواخت، به ازای ورودی همواره افزاینده (کاهنده) خروجی هیچگاه کاهش (افزایش) نمی یابد (بدون در نظر گرفتن نویز).

نسبت سیگنال به نویز (و اعوجاج)[6] : (برای یک ورودی سینوسی خالص) نسبت دامنهٔ موثر ورودی به مقدار rms مجموع سایر مولفه های طیفی شامل نویز و اعوجاج غیر خطی. برای یک FFT با M نقطه از خروجی مربوط به ورودی سینوسی، اگرشمارهٔ مولفهٔ اصلی m و دامنهٔ آن A_m باشد، $SNDR$ به صورت زیر محاسبه می شود:

---

[1] Offset Error

[2] DNL or Differential Nonlinearity

[3] INL or Integral Nonlinearity

[4] Missing Codes

[5] Monotonicity

[6] Signal-to-Noise-and-Distortion Ratio SINAD or SNDR

$$SNDR = 10\log\left[A_m^2 \left(\sum_{k=1}^{m-1} A_k^2 + \sum_{k=m+1}^{M/2} A_k^2 \right)^{-1} \right] \qquad (۸-۱)$$

تعداد بیت موثر[1] : با قرار دادن مقدار *SNDR* به جای *SNR* مربوط به خطای کوانتیزاسیون مبدل ایده آل(رابطه(۱-٦))، تعداد موثر بیت خروجی به دست می آید:

$$ENOB = \frac{SNDR - 1.76dB}{6.02dB\ /bit} \qquad (۹-۱)$$

محدوده دینامیک خالی از اسپور[2]: نسبت دامنه ورودی به دامنه بزرگترین مولفهٔ مزاحم موجود در باند. این مولفه می تواند هارمونیک ورودی یا زیر هارمونیک فرکانس نمونه برداری باشد.

۱-٤ مسئله توان

معمولاً برای بیان کیفیت یک مبدل، از ترکیبی از سرعت نمونه برداری، درجه تفکیک و توان مصرفی استفاده می شود. توان مصرفی در بسیاری کاربردهای عملی، بصورت مطلق و بدون توجه به دیگر مشخصات نیز تعیین کننده است. استفاده گسترده از باتری در سیستم های قابل حمل در کاربردهای بالا و کاربردهای دیگر از یکطرف و توجه به کاهش ابعاد و وزن دستگاه ها از طرف دیگر، محدودیت هایی را از نظر ولتاژ تغذیه و توان مصرفی ایجاد می کند که باعث می شود در عمل مبدل هایی با سرعت و دقت بالا و مصرف توان زیاد در مقابل مبدلهایی که سرعت و دقت آنها تا حدودی پایین تر است ولی از نظر توان مصرفی کاهش چشمگیری دارند، شانس کارآیی کمتری داشته باشند.

[1] Effective Number of Bits , ENOB

[2] Spurious-Free Dynamic Range, SFDR

۱-۵ اهداف طراحی

هدف از این طراحی، بررسی روش های موجود و ارائه روش های جدید برای کاهش توان مصرفی و ولتاژ تغذیه مبدل آنالوگ به دیجیتال از نوع فولدینگ[1] است. همانگونه که در بخش های بعد خواهیم دید، مبدل های فولدینگ از سرعت بالا و تاخیر کم برخوردار هستند ولی عمدتاً در ولتاژهای تغذیه ۱/۸ ولت و بالاتر از آنها استفاده می شود و نمونه های گزارش شده عمدتاً مصرف توان نسبتاً بالایی دارند[۲٤][۲۵][۲٦].

در تعیین مشخصات مورد نظر و مراحل طراحی کاربرد خاصی مورد نظر نبوده است و مشخصات در نظر گرفته شد (جدول ۱) دقیقاً منطبق بر نیاز سیستم بخصوصی نیست. دقت تفکیک و سرعت نمونه برداری بگونه ای انتخاب شده اند که از حداقل مورد نیاز برای بسیاری کاربردها بالاتر باشند و از طرف دیگر پارامترهایی مثل توان مصرفی، ولتاژ تغذیه و محدوده ولتاژ ورودی فراتر از مقادیر گزارش شده در زمان تعیین مشخصات در نظر گرفته شده اند.

جدول۱-۱ مشخصات در نظر گرفته شده برای مبدل آنالوگ به دیجیتال

فرکانس نمونه برداری	۱۰۰ مگا نمونه بر ثانیه
قدرت تفکیک	۸ بیت
ولتاژ تغذیه	۱/۵ ولت
توان مصرفی	حداکثر ۵۰ میلی وات
محدوده ورودی	حد اقل ۱ ولت
تکنولوژی ساخت	۰/۱۸ میکرون CMOS

[1] Folding

جدول ۱-۲ مشخصات در نظر گرفته شده را در مقایسه با مبدل های گزارش شده تا زمان تعریف پروژه (سال۲۰۰۳) نشان می دهد. همانگونه که در این جدول دیده می شود مشخصات تعریف شده به مراتب بالا تر از مشخصات دیگر مبدل ها قرار می گیرد.

تذکر این نکته لازم است که هدف از این پژوهش، بهبود مشخصات مبدل با استفاده از روش های مداری است. چرا که با پیشرفت تکنولوژی ساخت و کوچک شدن ابعاد ترانزیستورها طراحی ها به سمت کاهش ولتاژ تغذیه و افزایش سرعت کار مدارهای مجتمع حرکت می کنند. ولی در اینجا هدف رسیدن به مشخصات متمایز با استفاده از یک تکنولوژی نسبتاً قدیمی است بصورتیکه ولتاژ تغذیه در نظر گرفته شده حداقل ۲۰ درصد از ولتاژ نامی تکنولوژی (۱/۸ ولت) پایین تر است.

جدول ۱-۲ مشخصات در نظر گرفته شده در مقایسه با مبدل های گزارش شده تا زمان تعریف پروژه

Ref	# of Bits	f_S (MHz)	Tech. (um)	Supply Voltage (V)	Input Range (V)	Power (mW)	Voltage Efficiency (%)	Year
Proposed	**8**	**100**	**0.18**	**1.5**	**1.1**	**50**	**73.3**	**2003**
[112]	7	300	0.35	3.3	1.6	200	48.5	2003
[44]	10	100	0.12	1.2	0.4	140	33	2002
[37]	8	100	0.5	5	1	165	20	2001
[102]	8	10	0.35	3.3	1	115	30	2001
[80]	8	125	0.35	3.3	2	110	60	2000
[55]	12	50	0.6	3.3	1.6	850	48.5	2000
[26]	6	400	0.5	3.2	2.3	200	72	1998
[25]	10	50	0.5	5	2	170	40	1997
[83]	8	80	0.5	3.3	1.6	80	48.5	1996
[39]	8	125	1	5	?	225	?	1996
[12]	6	175	0.7	3.3	1.2	160	36.4	1996
[24]	8	70	0.8	5	2	110	40	1995

فصل۲ بررسی ساختاری مبدل های آنالوگ به دیجیتال موازی

۲-۱ مقدمه

با توجه به اهمیت و گسترش کاربرد مبدل های داده، بخش قابل توجهی از تحقیقات در زمینه الکترونیک آنالوگ به این مبدل ها اختصاص دارد. این تحقیقات عمدتاً به بهینه سازی یک ساختار خاص برای رسیدن به سرعت تبدیل یا دقت تفکیک بالاتر و یا توان مصرفی کمتر می پردازند و کمتر به جنبه های تئوریک کارکرد مبدل ها پرداخته می شوند.

بررسی رفتارهای مشابه ساختارهای متفاوت و مزایا و معایب هر خانواده از مبدل ها نه تنها می تواند در جهت انتخاب یک ساختار مناسب برای هر کاربرد مفید باشد، بلکه امکان یافتن ساختارهای جدید را نیز ایجاد می کند.در میان ساختارهای مختلف مبدل های آنالوگ به دیجیتال، مبدل های موازی[1] (یا چند مسیره[2]) برای کاربردهای سریع با درجه تفکیک پایین تا متوسط بهترین انتخاب به شمار می روند.

در این بخش ضمن بررسی مشخصات کلی این گروه از مبدل ها، معیارهایی برای سنجش اعضاء این گروه معرفی خواهند شد.

[1] Parallel Converters

[2] Multi-Path Converters

۲-۲ تعریف مبدل موازی

یک مبدل موازی یا چند مسیره می تواند به عنوان مبدلی در نظر گرفته شود که در آن بیش از یک مسیر بین ورودی آنالوگ و طبقه کوانتایزر[1] (مقایسه کننده) وجود دارد. این مسیرها ممکن است کاملاً از یکدیگر مستقل باشند و یا قسمت های مشترک داشته باشند. همچنین همه مسیرها ممکن است در یک زمان (به عبارت دیگر به ازای یک مقدار از ورودی) فعال نباشند. بسته به ساختار مبدل، یک مسیر ممکن است در کسری از محدوده ورودی یا در تمامی آن فعال شود.

مسیرهای موازی معمولاً ساختار کلی مشابهی دارند و مسیرهای مختلف با یک یا چند پارامتر که عمدتاً بهره (شیب) مسیر و مقدار مرجع (یا بایاس) مسیر هستند از یکدیگر متمایز می شوند. در دنباله این بحث، از علایمی که معمولاً در بحث شبکه های عصبی برای نمایش یک شبکه بکار می رود بهره می جوییم [۲۷]. به این صورت که هر مسیر توسط یک پاره خط و عددی که مشخص کننده بهره آن مسیر است نمایش داده می شود. هر مسیر به گره ای منتهی می شود که می تواند از نوع خطی اشباع شونده[2] (به عبارت دیگر یک تقویت کننده)، یک گره جمع کننده یا یک گره غیر خطی اشباع شونده[3] (مقایسه کننده) باشد.

یک گره خطی اشباع شونده مشخصه ورودی- خروجی مشابه شکل۲-۱-آ یا ۲-۱-ب دارد و مشخصه یک گره غیرخطی اشباع شونده مشابه شکل ۲-۱-پ است. رابطه ورودی- خروجی گره برای حالت ساده شده شکل۲-۱-آ بصورت زیر است:

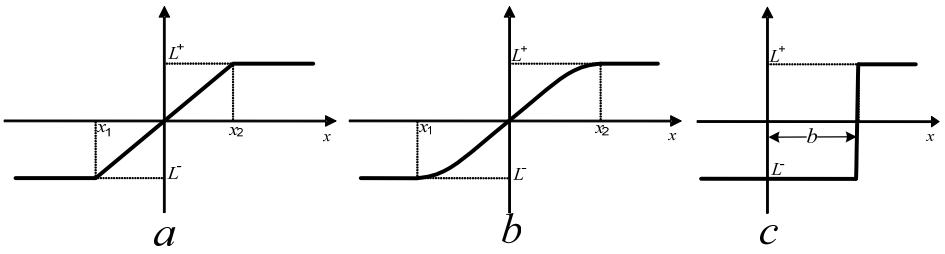
---

[1] Quantizer

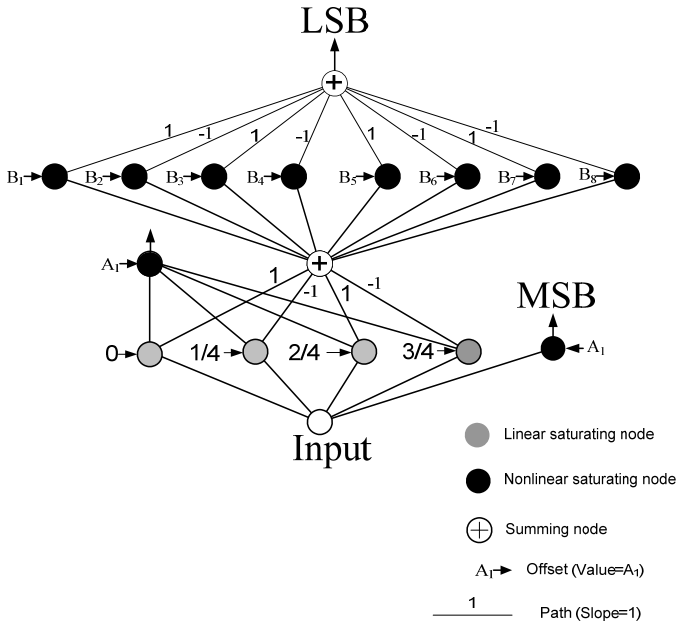
[2] -Linear saturating

[3]- non-linear saturating

$$y = \begin{cases} L^+ & x < x_1 \\ ax & x_2 > x > x_1 \\ L^- & x > x_2 \end{cases} \qquad (۱-۲)$$



شکل ۲-۱ آ و ب: مشخصه گره خطی اشباع شونده پ یک گره غیرخطی اشباع شونده با مرجع *b*



شکل ۲-۲ نمایش یک مبدل موازی

مقادیر مراجع (یا همان بایاس ها) بصورت پیکان های کوچکی که به گره ها اشاره می کنند و عددی که مقدار مرجع را نشان می دهد مشخص می شوند. شکل ۲-۲ یک مبدل موازی نمونه را نشان می دهد. فراتر از گره های غیرخطی اشباع شونده یا مقایسه کننده ها، سیگنال ها در حوزه دیجیتال قرار

می گیرند. در این حوزه یک گره جمع کننده یک گیت منطقی است و وزن (شیب) مسیرها ۱ یا ۱- (معرف منطق وارون) است.

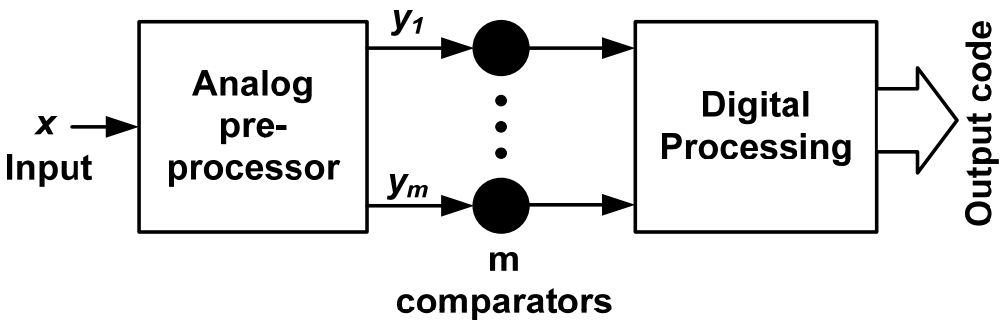
در ادامه بحث، درجه تفکیک هر مبدل را با N نمایش می دهیم و محدوده ورودی مبدل ها را بصورت دو طرفه بین R- و R در نظر می گیریم. همچنین مقدار ورودی معادل یک LSB را با Δ نشان می دهیم که بصورت زیر تعریف می شود:

$$\Delta = \frac{R-(-R)}{2^N} = \frac{2R}{2^N} \qquad (۲-۲)$$

مشخصهٔ تقویت کننده ها نیز در ادامه بحث بصورت دو طرفه (دیفرانسیل) در نظر گرفته شده اند و فرض شده است مقادیر اشباع مثبت و منفی آنها همواره قرینه باشد.

۲-۳ مدل کلی مبدل موازی

یک مدل کلی برای مبدل های موازی می تواند بصورت شکل ۲-۳ نمایش داده شود. تفاوت اساسی بین ساختارهای مختلف در بلوک پیش پردازش آنالوگ است. این بلوک می تواند نقش های متفاوتی داشته باشد: در مبدل درون یابی نقش اصلی آن فراهم کردن بهره آنالوگ با استفاده از تعداد حداقلی از تقویت کننده هاست تا به این وسیله تاثیر خطای مقایسه کننده را کاهش دهد. در مبدل فولدینگ نقش اصلی این بلوک کاهش تعداد مقایسه کننده ها است.



شکل ۲-۳ مدل کلی یک مبدل موازی

در مبدل فولدینگ هر مقایسه کننده تعدادی از تغییر حالت های خروجی را ایجاد می کند در حالیکه در مبدل فلاش هر مقایسه کننده تنها یکی از تغییر حالت های خروجی را می سازد. در حالت کلی، حداقل تعداد مقایسه کننده ها در یک مبدل N بیتی موازی برابر N است. برای چنین حالتی، طراحی یک بلوک پیش پردازش می تواند بصورتی انجام گیرد که یک مقایسه کننده مستقیماً بیت *MSB* را استخراج کند. مقایسه کننده بعدی بیت *MSB-1* را بسازد و به همین ترتیب بیت های پایین تر ساخته شوند. لازم به ذکر است که در صورتی که فرمت خروجی کد باینری[1] باشد، بیت های مختلف تغییر حالت های مشترک زیادی خواهند داشت در هرحالی که در فرمت کد گری[2] در هیچ زمانی دو بیت خروجی بصورت همزمان تغییر حالت نمی دهند. برای یک مبدل با کد گری، مقایسه کننده ای که بیت *LSB* را می سازد می تواند حداقل *N-1* تغییر حالت به ازای ورودی های Δ ،3Δ،... ، $2^{N-1}\Delta$ داشته باشد.

همانگونه که اشاره شد یکی از کاربردهای پیش پردازش آنالوگ می تواند کاهش تاثیر خطای مقایسه کننده ها در ورودی باشد ولی از سوی دیگر محدودیت دقت پیاده سازی بلوک پیش پردازش آنالوگ

[1] Binary Code

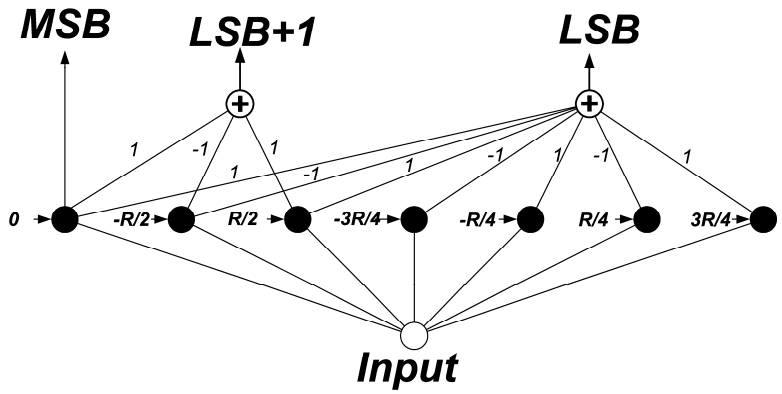
[2] Gray Code

خود می تواند منشاء بروز خطا باشد. از طرف دیگر این بلوک با ایجاد تاخیر در مسیر سیگنال بخصوص ایجاد رفتارهای غیرخطی می تواند محدودیت سرعت تبدیل را به دنبال داشته باشد[۲۸].

۲-٤ ساختارهای متداول

این بخش را با بررسی سه ساختار متداول یعنی فلاش، درون یابی (اینترپولاسیون) و فولدینگ که هر سه جزو ساختار های **شیب یکسان**[1] **هستند،** آغاز می کنیم:

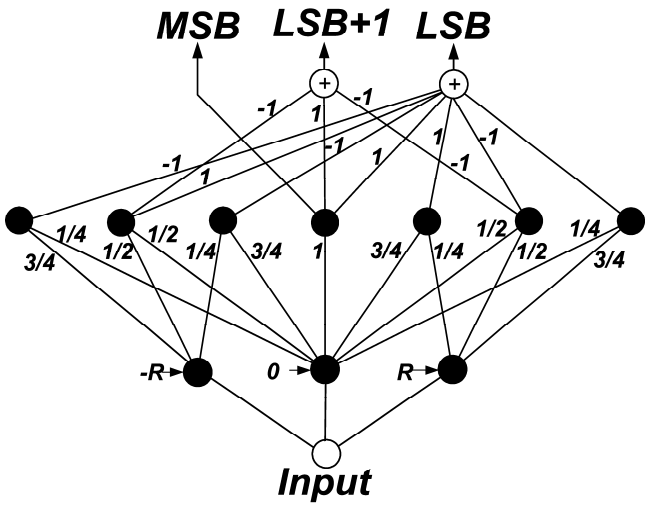
در این سه ساختار معمولاً مسیرها شیب یکسان دارند و عمدتاً مراجع مسیرها را از یکدیگر متمایز می کنند. مبدل فلاش ساده ترین ساختار یک مبدل شیب یکسان است که همه $۲^{N-۱}$ مسیر آن شیب واحد دارند و $۲^{N-۱}$ مرجع مختلف آنها را از یکدیگر تفکیک می کند. در شکل ۲-٤ یک مبدل فلاش ۳ بیتی دیده می شود.



شکل ۲-٤ مبدل فلاش ۳ بیتی

[1] Equal-Slope Structures

ساختار یک مبدل درون یابی (اینترپولاسیون) در شکل ۲-۵ نشان داده شده است. تعداد مقایسه کننده ها برابر تعداد مقایسه کننده های یک مبدل فلاش با تعداد بیت مشابه است. ولی چنانچه مسیرهایی که گره ورودی را به گره های میانی ارتباط می دهند بهره بزرگتر از واحد داشته باشند، مقایسه کننده هایی با دقت کمتر نیز می توانند جوابگو باشند.



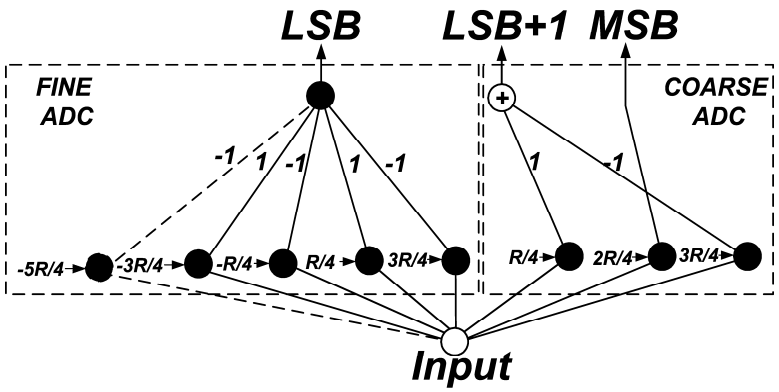
شکل ۲-۵ مبدل ۳ بیتی با ضریب درون یابی ٤

مبدل فولدینگ نیز می تواند به عنوان یک مبدل شیب یکسان در نظر گرفته شود به این معنی که در قسمت مبدل ریزگام[1] شیب ها با یکدیگر برابرند و در قسمت مبدل فرعی (درشت گام[2]) نیز مشابه مبدل فلاش همه مسیرها شیب واحد دارند.

در حالت کلی N_1 بیت از مبدل ریزگام و N_2 بیت از مبدل درشت گام استخراج می شود. در حالت فرضی که تنها یک بیت توسط مبدل ریزگام ساخته شود، ساختار مبدل فولدینگ ایده آل و غیرایده آل مشابه خواهند بود ولی برای تعداد بیت های بالاتر، این دو ساختار متفاوت خواهند بود.

[1] Fine ADC

[2] Coarse ADC



شکل ۲-٦ مبدل فولدینگ ۳ بیتی (۱ بیت از مبدل ریزگام و ۲ بیت از مبدل درشت گام)

می توان نشان داد که در مبدل فولدینگ غیرایده آل، عملاً از تعدادی مبدل فولدینگ ایده آل یک بیتی استفاده می شود و تفاوت عمده این دو ساختار چنانچه خواهیم دید در حساسیت متفاوت به شیب و تعداد متفاوت تقویت کننده ها است.

برای مبدل شکل۲-٦، رابطه ورودی خروجی برای بخش فولدینگ می تواند بصورت زیر محاسبه شود. با فرض آنکه هر گره مشخصه ای مشابه شکل ۲-۱- آ داشته باشد (=مبدل ایده آل)، بین هر دو نقطه شکست متوالی، خروجی (=ورودی مقایسه کننده) یک تابع خطی از ورودی خواهد بود.

$$out = (-1)^i a(x - V_{refi}) + \sum_{k=1}^{i-1} (-1)^k L_k^+ + \sum_{k=i}^{2^{N_2}-1} (-1)^k L_k^- \qquad i = 1 : 2^{N_2} + 1 \qquad (۳-۲)$$

در رابطه بالا:

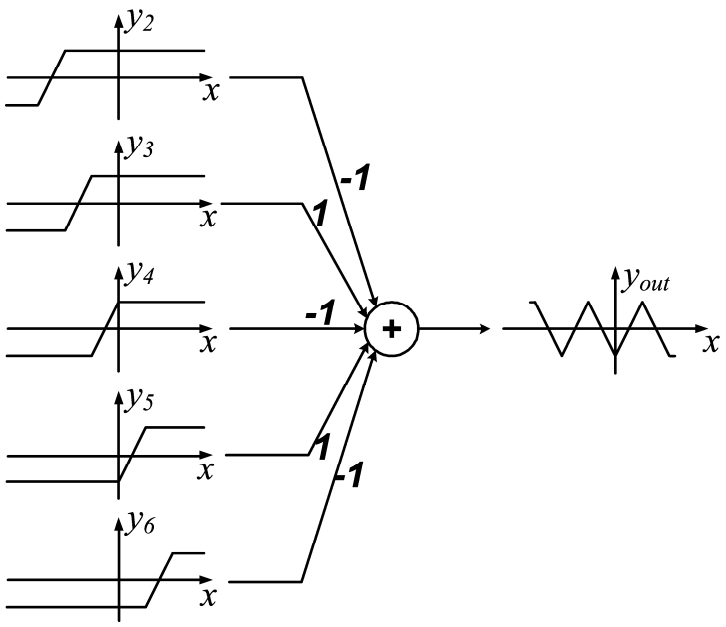
$$(i-1).\Delta_1 - R \le x \le i.\Delta_1 - R \qquad (٤-۲)$$

$$\Delta_1 = \frac{2R}{2^{N_2}} \qquad (٥-۲)$$

$$a = \frac{2L}{\Delta_1} = 2^{N_2}.\frac{L}{R} \qquad (٦-۲)$$

$$V_{refi} = -R + (i - 1/2).\Delta_1 \qquad (۷-۲)$$

در شکل۲-۷ نحوه ساخته شدن سیگنال تا شده (فولدینگ) با استفاده از سیگنال هایی با شیب برابر و مراجع متفاوت نمایش داده شده است.



شکل ۲-۷ ساختن سیگنال فولدینگ با ساختار شیب یکسان

ذکر این نکته لازم است که در این ساختار هر مسیر مبدل فولدینگ برای $\frac{1}{2^{N_2}+1}$ ام از محدوده ورودی در رژیم خطی قرار می گیرد.

۲-۵ حساسیت به خطاها

ساختارهای مختلف از دیدگاههای متفاوت می توانند با یکدیگر مقایسه شوند که از آن میان پیچیدگی و حساسیت از معیارهای اصلی به شمار می روند. پیچیدگی معرف تعداد پارامترهایی است که در یک ساختار در ایجاد خروجی سهیم هستند و حساسیت میزان دقت لازم برای ساختن هر پارامتر را مشخص می کند.

در حالت کلی یک بده بستان[1] بین این دو مشخصه قابل تشخیص است. هر چه تعداد پارامترهای سازنده خروجی کمتر باشد، دقت بیشتری برای هر پارامتر مورد نیاز خواهد بود. معیار پیچیدگی به صورت کمی با تعداد گره ها، تعداد مسیرهای میانی و تعداد مسیرهای مشعب از یک گره (=بار گره) قابل بیان است. در دنباله روشی برای بیان کمی حساسیت نیز معرفی می شود.

به منظور داشتن معیار عددی از حساسیت، ابتدا خطای ورودی را بصورت تفاوت مقدار ورودی که تغییر حالت n ام خروجی را ایجاد می کند و مقدار ایده آل آن، تعریف می کنیم.

$$\Delta x_n = x_n - x_{n0} \qquad n = 1,2,3,...,2^N - 1 \qquad (۸-۲)$$

که در این رابطه $x_{n_0} = n.\Delta$ مقدار ایده آل ورودی مربوط به تغییر حالت n ام در خروجی و Δ مقدار ورودی معادل یک LSB است.

مقدار نرمالیزه Δx_n همان میزان غیرخطی بودن انتگرال (INL) به ازای تغییر حالت n ام خروجی است.

$$INL_n = \frac{\Delta x_n}{\Delta} \qquad n = 1,2,3,...,2^N - 1 \qquad (۹-۲)$$

در حالت کلی خطای خروجی تابعی از خطا در عواملی مثل شیب ها، مقادیر اشباع و مراجع است. اگر ارتباط هر عامل P و مقدار ایده آل آن عامل بصورت زیر تعریف شود:

$$P = P_0 + \Delta P = P_0(1 + e_P) \qquad (۱۰-۲)$$

ارتباط بین خطای خروجی (INL) و خطای عوامل بصورت زیر محاسبه می گردد:

$$INL_n = SUM\,(S_{P_n} e_P) \qquad (۱۱-۲)$$

$$S_{P_n} = \frac{\frac{\Delta x_n}{\Delta}}{\frac{\Delta P}{P_0}} = n\frac{\frac{\Delta x_n}{x_0}}{\frac{\Delta P}{P_0}} \qquad (۱۲-۲)$$

[1] Trade off

در رابطه بالا S_{P_n} ضریب حساسیت نسبت به پارامتر P است که به صورت نسبت خطای نرمالیزه خروجی به خطای نسبی P با فرض ایده آل بودن باقی عوامل تعریف می شود. توجه به این نکته لازم است که S_{P_n} تابعی است از پارامتر P و همچنین کد خروجی (که با n مشخص شده). همچنین از آنجا که خطای INL بصورت نرمالیزه به LSB بیان می شود و نه به مقدار مطلق x_0 ضرایب حساسیت نیز برهمین اساس تعریف می شوند.

ضرایب حساسیت نسبت به پارامترها می تواند در تعیین میزان حساس بودن یک ساختار مورد استفاده قرار گیرد. اگر تمامی منابع خطا بصورت متغیرهای تصادفی با میانگین صفر در نظر گرفته شوند، خطای INL نیز یک متغیر تصادفی خواهد بود که انحراف معیار آن بصورت زیر بدست می آید:

$$\sigma_{INLn} = \sqrt{\sum S_{Pn}^2 e_p^2} \qquad (۱۳-۲)$$

در رابطه بالا S_{P_n} ضریب حساسیت عامل P بصورت تابعی از n است.

برای یک مبدل فلاش، تنها عامل خطای خروجی، خطا در مقادیر مرجع (افست ها) است. (خطای مقایسه کننده ها نیز می تواند مستقیماً با این خطا ترکیب شود).هر مقدارجابجایی در مرجع n ام (نرمالیزه به مقدار یک LSB)، همان مقدار جابجایی در تغییر حالت n ام خروجی ایجاد می کند و بر مابقی تغییر حالت های خروجی هیچ تاثیری نخواهد داشت. بنابراین ضرایب حساسیت به مراجع بصورت زیر بدست می آید:

$$\left|S_{ref_{kn}}\right| = \begin{cases} 0 & n \neq k \\ 1 & n = k \end{cases} \qquad (۱۴-۲)$$

n و k در رابطه بالا هر دو بین ۱ و $۲^{N-۱}$ تغییر می کنند.

برای مبدل درون یابی اگر ضریب درون یابی را I در نظر بگیریم، تعداد تقویت کننده های لازم برای یک مبدل N بیتی از رابطه زیر محاسبه می شود:

$$N_A = \frac{2^N}{I} + 1 \qquad (۱۵-۲)$$

در این مبدل عوامل خطا عبارتند از خطا در مقادیر مرجع، عدم تطابق ضرایب تقویت و بالاخره خطا در ضرایب درون یابی. برای بدست آوردن ضرایب حساسیت، ابتدا رابطه ورودی خروجی را بصورت زیر بدست می آوریم:

$$out = a_i (x_n - ref_i) b_{in} + a_{i+1}(x_n - ref_{i+1}).(1 - b_{in}) \qquad (i\text{-}1)I \le n \le iI\text{-}1 \qquad (۱۶-۲)$$

در رابطه بالا:

$$ref_i = \frac{i-1}{N_A - 1}.R = I.(i-1).\Delta \qquad 1 \le i \le N_A \qquad (۱۷-۲)$$

$$b_{i,n} = \frac{I.i - n}{I} \qquad 1 \le i \le N_A \ , \ 1 \le n \le 2^N\text{-}1 \qquad (۱۸-۲)$$

و a_i ضریب تقویت کننده i ام است. ضرایب حساسیت این مبدل بصورت زیر محاسبه می شود:

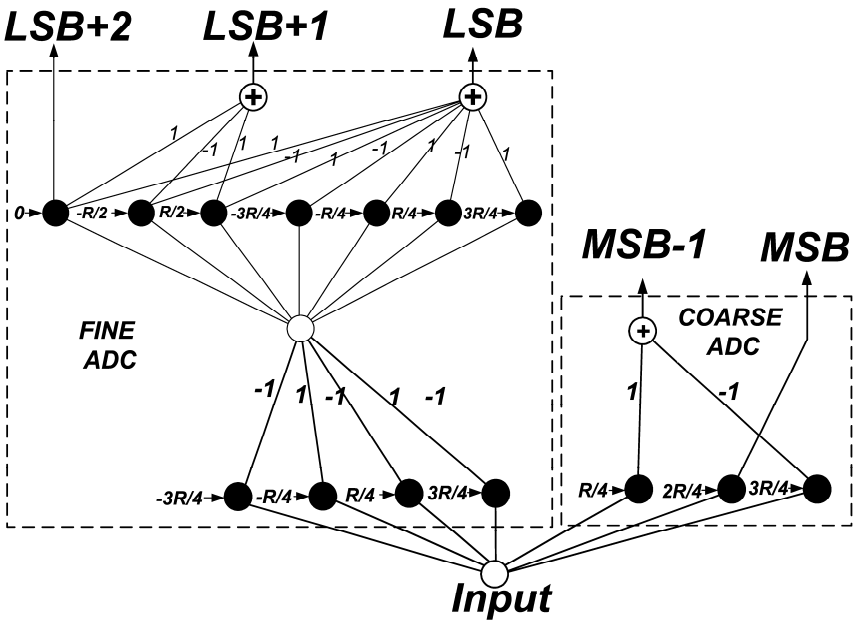
$$\left| S_{ref_{i,n}} \right| = \begin{cases} 0 & i \le k-2 \\ \frac{j}{I} & i = k-1 \\ \frac{I-j}{I} & i = k \\ 0 & i > k \end{cases} \qquad (۱۹-۲)$$

$$\left| S_{a_{k,n}} \right| = \begin{cases} 0 & i \le k-2 \\ \frac{j(I-j)}{I} & k-2 < i \le k \\ 0 & i \ge k \end{cases} \qquad (۲۰-۲)$$

$$\left|S_{b_{k,n}}\right| = \begin{cases} 0 & i < k \\ (I - j) & i = k \\ 0 & i > k \end{cases} \qquad (۲۱-۲)$$

در روابط بالا $n=I.(i-1)+j$ است و i و k هر دو بین ۱ و M تغییر می کنند.

اکنون به بررسی مبدل فولدینگ را از نظر حساسیت می پردازیم. یک مبدل فولدینگ ایده آل N بیتی که N_1 بیت از مبدل دقیق و N_2 بیت از مبدل درشت گام استخراج می شود، در عمل یک مبدل دو طبقه است.نمونه ای از این مبدل با $N_1=2$ و $N_2=3$ بیت مشابه شکل (۲-۸) است.



شکل ۲-۸ مبدل فولدینگ ایده آل

برای این رابطه ورودی خروجی در هر یک از نقاط تغییر حالت خروجی بصورت زیر محاسبه می شود:

$$out = a_i (x_n - V_{refi}) + \sum_{m=1}^{i-1} (-1)^m L_m^- + \sum_{m=i+1}^{2^{N_2}} (-1)^m L_m^+ \qquad i = 1:2^{N_2} \qquad (۲۲-۲)$$

در رابطه بالا $n=i.2^{N1}+j$ است . ضرایب حساسیت این مبدل به ترتیب زیر بدست می آید:

$$\left|S_{ref_{k,i}}\right|=\begin{cases}0 & i\neq k\\ 1 & i=k\end{cases} \qquad (۲۳-۲)$$

$$\left|S_{ref_{l,j}}\right|=\begin{cases}0 & l\neq j\\ 1/a_0 & l=j\end{cases} \qquad (۲٤-۲)$$

$$\left|S_{L_{k,i}}\right|=\begin{cases}2^{N_1-1} & i\neq k\\ 0 & i=k\end{cases} \qquad (۲٥-۲)$$

$$\left|S_{a_{k,i}}\right|=\begin{cases}0 & i\neq k\\ j & i=k\end{cases} \qquad (۲٦-۲)$$

در روابط بالا k و i بین ۱- ۲^{N1} و j و l بین ۱ و ۱- ۲^{N2} تغییر می کنند.

رابطه (۲-۲٦) نشان می دهد که اگر چه وجود بهره طبقه فولدینگ ایده آل حساسیت به مراجع طبقه دوم (مبدل فلاش) را به نسبت a_0 کاهش داده است، ولی دامنه تاثیر خطا در مراجع طبقه دوم به نسبت یک فلاش معمولی افزایش یافته است. به عبارت دیگر خطا در یکی از مراجع یک فلاش معمولی تنها روی یک کد خروجی تاثیر می گذارد در حالیکه همان میزان خطا در یکی از مراجع فلاش بعد از فولدینگ ۲^{N2} کد خروجی را با خطایی به نسبت $1/a_0$ کمتر مواجه می سازد.

در مورد مبدل فولدینگ غیرایده آل، بجای یک مبدل دو طبقه با تعدادی مبدل یک طبقه موازی سروکار داریم که هر یک تعدادی از ۲^{N2} تغییر حالت های لازم را استخراج می کنند. برای این مبدل ضرایب حساسیت مطابق روابط زیر خواهد بود:

$$\left|S_{ref_{k,i}}\right|=\begin{cases}0 & i\neq k\\ 1 & i=k\end{cases} \qquad (۲۷-۲)$$

$$\left|S_{a_{k,i}}\right| = \begin{cases} 0 & i \neq k \\ 1 & i = k \end{cases} \qquad (۲۸-۲)$$

$$\left|S_{L_{k,i}}\right| = \begin{cases} 2^{N_1-1} & i \neq k \\ 1 & i = k \end{cases} \qquad (۲۹-۲)$$

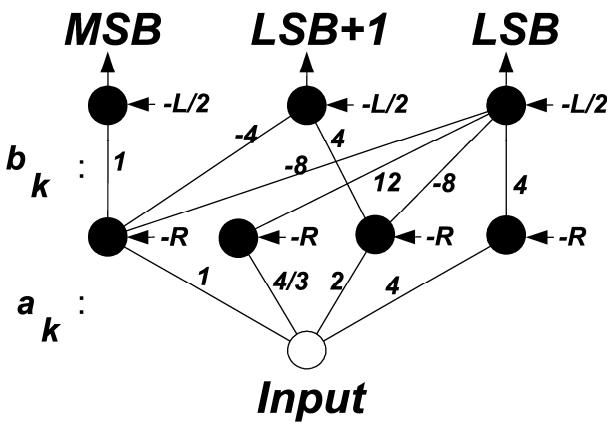
در روابط بالا $n=i.2^{N1}+j$ است که برای هر یک از مبدل های موازی jعدد ثابتی است.

در مورد رابطه (۲-۲۸) ذکر این نکته لازم است که در مواردی که ورودی و مرجع ابتدا از یکدیگر کم شوند وسپس تقویت شوند و مقدار تقویت شده با صفر مقایسه شود (که معمولاً در عمل چنین است)، حساسیت به شیب تقویت صفر خواهد بود. همچنین رابطه (۲-۲۹) با فرض $a_0 = \frac{2^{N_2} L}{R}$ بدست آمده است و با افزایش a_0 حساسیت کاهش می یابد.

۲-٦ ساختارهای دیگر

همانگونه که در قسمت های قبل اشاره شد، با ایجاد تغییر در بلوک پیش پردازش آنالوگ می توان به ساختارهای متفاوتی رسید. در دنباله، سه ساختار از این دست را معرفی خواهیم کرد.

یک روش برای تحقق بخشیدن به یک مبدل موازی، استفاده از مسیرهایی با شیب های مختلف است در حالت حدی، همه این مسیرها مرجع یکسان دارند. هیچ یک از مبدل های شناخته شده از این روش استفاده نمی کنند. شکل۲-۹ یک مبدل سه بیتی با استفاده از این ساختار را نشان می دهد.



شکل ۲-۹ ساختار مرجع – یکسان

با فرض اینکه گروه های میانی مشخصه ای مشابه شکل ۲-۱- آ داشته باشند، ضرایب a_k و b_k بصورت زیر بدست می آیند

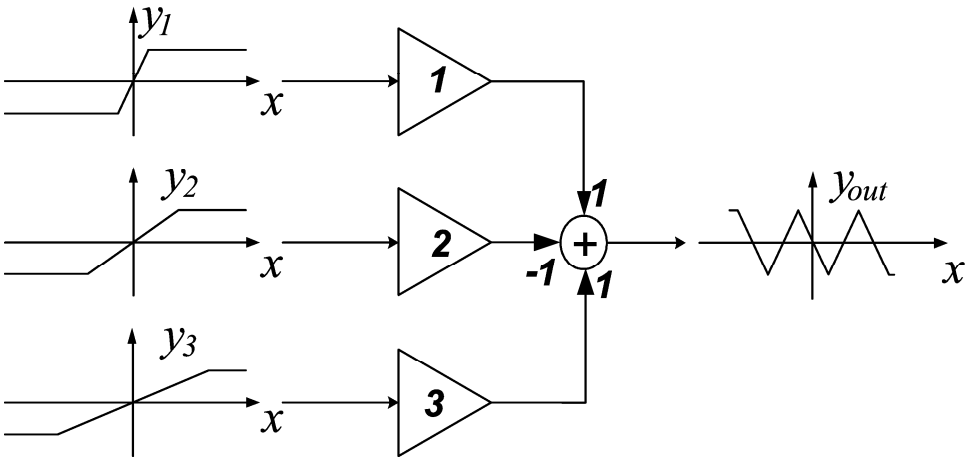
$$a_k = \frac{2L}{2R}\frac{m}{k} \qquad k = 1:m \qquad (۳۰-۲)$$

$$b_k = \begin{cases} 2k\,(-1)^{k+1} & k = 1:m-1 \\ k\,(-1)^{k+1} & k = m \end{cases} \qquad (۳۱-۲)$$

که در روابط بالا $m=2^{N-1}$ تعداد مسیرهای موازی است. در هر زیر محدوده خطی، خروجی می تواند به عنوان تابعی خطی از ورودی بصورت زیر نوشته شود:

$$out = \sum_{k=|i|+1}^{m} a_k b_k x + \sum_{k=0}^{|i|} b_k L_k \qquad i\Delta - \Delta/2 \le x \le i\Delta + \Delta/2 \qquad (۳۲-۲)$$

چگونگی عملکرد این ساختار با استفاده از شکل ۲-۱۰ بهتر مشخص می شود. در این شکل مشخصه ای مشابه با آنچه در شکل ۷ توسط ساختار شیب یکسان ساخته شده بود با ساختار مرجع – یکسان ساخته شده است.



شکل ۲-۱۰ ساختن مشخصه فولدینگ با استفاده از مشخصه بایاس یکسان

در این ساختار، ناحیه فعال (خطی) مسیرهای متفاوت یکسان نیست. همانگونه که در شکل می توان دید، مسیر بالایی تنها در بخش کوچکی از محدوده ورودی فعال است و هرچه به سمت مسیرهای پایین پیش می رویم ناحیه خطی گسترش می یابد تا بالاخره مسیر انتهایی در تمامی محدوده در ناحیه خطی قرار دارد. با مقایسه شکلهای ۷ و ۱۰ مشخص می شود که مشخصه فولدینگ با استفاده از ساختار مرجع – یکسان با تعداد گره کمتر و بدون نیاز به مراجع متفاوت ساخته می شود.

با انجام محاسبات حساسیت، ضرایب حساسیت این ساختار بصورت زیر بدست می آید

$$\left|S_{a_{k,n}}\right| = \begin{cases} 0 & n' \geq k \\ 2n & n' < k < m \\ n & k = m \end{cases} \qquad (۲-۳۳)$$

$$\left|S_{b_{k,n}}\right| = \begin{cases} 4k & n' \geq k \\ 2n & n' < k < m \\ n & k = m \end{cases} \qquad (۲-۳٤)$$

$$\left|S_{L_{k,n}}\right| = \begin{cases} 4k & n' \geq k \\ 0 & n' < k \end{cases} \qquad (۲-۳۵)$$

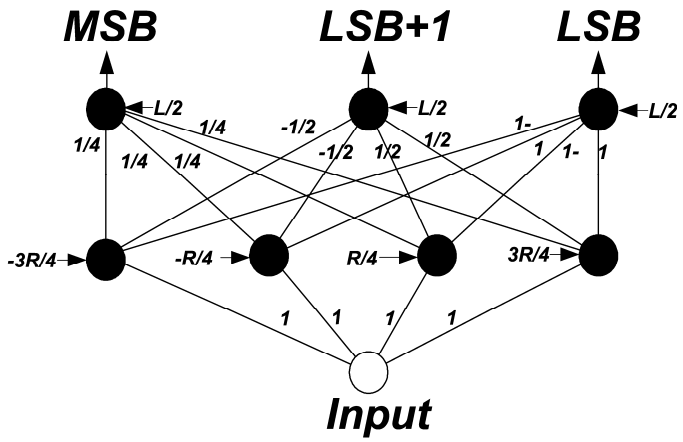
در روابط بالا $n'=0.5(n+1)$ است. از این روابط مشخص است که در این ساختار حساسیت بیشتری نسبت به ساختار شیب یکسان وجود دارد[۲۹]. علت را می توان اینگونه توضیح داد که در ساختار معمول شیب یکسان، عامل تعیین کننده دقت مراجع هستند که در طول محدوده پراکنده شده اند و به ازای ورودی معادل هر کد خروجی، مرجعی در همان مقدار یا در نزدیکی آن قرار دارد که دقت کد را تعیین می کند. ولی در ساختار مرجع یکسان، همه مراجع در یک نقطه جمع شده اند و محل تغییر حالت های خروجی از این نقطه و توسط شیب ها تعیین می گردد. وجود خطا در شیب ها روی تعدادی از تغییر حالت ها تاثیر می گذارد و هر چه فاصله ورودی معادل این تغییر حالت تا نقطه مرجع مشترک بیشتر باشد، تاثیر خطای شیب روی خطای خروجی بیشتر خواهد بود.

یک امتیاز مبدل شکل۲-۹ آن است که تعداد مقایسه کننده های آن حداقل تعداد ممکن است. فرمت خروجی دیجیتال در این مبدل بصورت کد گری[1] است که می تواند در یک دکودر به کد باینری[2] تبدیل شود.

یک ساختار دیگر برای مبدل موازی در شکل ۲-۱۱ دیده می شود. در این ساختار که از نوع شیب یکسان محسوب می شود، تعداد گره ها برابر ساختار مرجع یکسان شکل ۲-۹ است و امتیاز حداقل بودن تعداد مقایسه کننده ها و فرمت خروجی دیجیتال نیز مشابه همان مبدل است.

[1] Gray Code

[2] Binary Code



شکل ۲-۱۱ ساختار یکسان با حداقل مقایسه کننده

ضرایب حساسیت این مبدل بصورت زیر محاسبه می شوند:

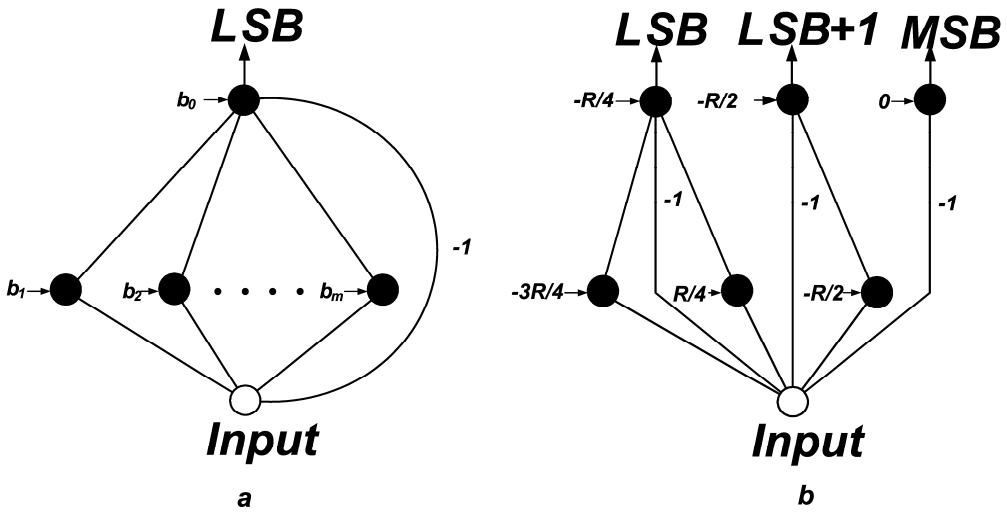
$$\left|S_{ref_{k,n}}\right| = \begin{cases} 0 & n' \neq k \\ 1 & n' = k \end{cases} \qquad (۳۶-۲)$$

$$\left|S_{a_{k,n}}\right| = \begin{cases} 0 & n' \neq k \\ 1 & n' = k \end{cases} \qquad (۳۷-۲)$$

$$\left|S_{L_{k,n}}\right| = \begin{cases} 1/2 & n' \neq k \\ 0 & n' = k \end{cases} \qquad (۳۸-۲)$$

همانگونه که از این روابط مشخص است، حساسیت این مبدل نسبت به پارامترهای مختلف نسبتاً پایین است.

یک ساختار پیشنهادی دیگر برای مبدل موازی در شکل ۲-۱۲ دیده می شود. در این ساختار تعداد گره های لازم برای استخراج بیت LSB در یک مبدل N بیتی برابر 2^{N-2} است.



شکل ۲-۱۲ یک ساختار مبدل موازی آ) نحوه استخراج بیت پایین در حالت کلی ب) مبدل سه بیتی کامل

گر چه بیت های بالاتر از همین گره ها قابل استخراج نیستند، تعداد کل گره های لازم بازهم بالاتر از ساختارهای قبلی نیست با این تفاوت که تعداد گره های تعیین کننده هر بیت نصف تعداد آنها در ساختارهای قبلی است.

مقادیر مراجع و اشباع گره ها برای یک مبدل N بیتی از روابط زیر محاسبه می شود:

$$b_0 = -\frac{2^{N-1}-1}{2^N}R \qquad (۳۹-۲)$$

$$b_k = -\frac{R}{2^{N-1}}(4k-3) \qquad k = 1:2^{N-2} \qquad (۴۰-۲)$$

$$L = \frac{R}{2^{N-2}} \qquad (۴۱-۲)$$

برای حالتی که مشخصه گره ها دو طرفه باشد، مقدار بهره مسیرهای غیرواحد و حتی غیرخطی بودن آنها تاثیری روی دقت مشخصه نخواهد داشت. ضرایب حساسیت این ساختار بصورت زیر محاسبه می شود:

$$\left|S_{b_{0,n}}\right| = \begin{cases} 1 & n = 2k+1 \\ 1/a & n = 2k \end{cases} \qquad (۴۲-۲)$$

$$\left|S_{b_{k,n}}\right| = \begin{cases} 1 & n' = k \\ 0 & n' \neq k \end{cases} \qquad (۴۳-۲)$$

$$\left|S_{L_{k,n}}\right| = \begin{cases} 0 & n' = k \\ 1 & n' \neq k \end{cases} \qquad (۴۴-۲)$$

در روابط بالا است $n' = 0.25(n+1)$. یک مبدل جریانی با ساختاری مشابه این ساختار در مرجع[۳۰] معرفی شده است.

۲-۷ مقایسه ساختارها

به عنوان جمع بندی و مقایسه ای از ساختارهای ارائه شده، مشخصات مربوط به این ساختارها برای تحقق یک مبدل ۸ بیتی در جدول۲-۱ با یکدیگر مقایسه شده است.

در حالت کلی انتخاب و مقایسه براساس جدول فوق بایستی با توجه به ملاحظات عملی صورت گیرد. به عنوان مثال به نظر می رسد از نظر سادگی و حساسیت به مراجع مبدل فلاش نسبت به بقیه برتری دارد ولی علی رغم این برتری تعداد زیاد مقایسه کننده (=توان مصرفی)، تعداد زیاد اتصالات به گره ورودی (=بارخازنی) و حساسیت به مرجع مقایسه کننده ساخت این مبدل برای درجه تفکیک بیش از ٦ بیت را غیرعملی می سازد. یا همانگونه که اشاره شد حساسیت به شیب و مقادیر اشباع در مبدل مرجع یکسان بسیار زیاد است ولی چنانچه هدف طراحی یک مبدل موازی بدون مراجع متنوع باشد، این ساختار تنها گزینه خواهد بود.

لازم به ذکر است که این ساختار و ساختارهای دیگر بصورت دو یا چند طبقه نیز قابل پیاده سازی است. پیاده سازی مبدل مرجع یکسان بصورت دو طبقه می تواند باعث کاهش همزمان تعداد تقویت کننده ها و حساسیت گردد. دو مبدل ردیف های آخر از نظر حساسیت و تعداد مقایسه کننده بسیار جذاب هستند ولی ایراد عمده آنها تعداد اتصالات زیاد به ورودی و تعدات نسبتاً زیاد تقویت کننده هاست.

جدول۲-۱ مقایسه مبدل های موازی از نظر پیچیدگی و حساسیت

ساختار	تعداد مقایسه کننده ها	تعداد گره های خطی	حداکثر اتصالات به خروجی گره خطی	حداکثر اتصالات به گروه ورودی	حداکثر حساسیت به مراجع	حداکثر حساسیت به شیب	حداکثر حساسیت به مقادیر اشباع	حداکثر حساسیت به ضریب درون یابی	حساسیت به مرجع مقایسه گر
فلاش	۲۵۵	صفر	صفر	۲۵۵	۱	–	–	–	۱
فلاش با درون یابی	۲۵۵	۳۳	۷۱۵	۳۳	۱	۲	–	۸	1/a
فولدینگ ایده آل F=8	٤۰	۸	۳۲	۸	۱	۳۲	۱٦	–	1/a
فولدینگ $N_1=5$ $N_2=3$	٤۰	۲٥٦	۱	۲٥۹	۱	۱۱۰	۱٦	–	1/a
فولدینگ با درون یابی ۸	٤۰	۳۲	۱٥	۳٥	۱	۲	۱٦	۸	1/a
مرجع یکسان	۸	۱۲۸	۸	۱۲۸	صفر	٥۱۰	٥۱۲	–	1/a
شیب یکسان با خروجی گری	۸	۱۲۸	۸	۱۲۸	۱	۱	۱	–	1/a
موازی بامسیر مستقیم ورودی به خروجی	۸	۱۷	۱	۱۳٤	۱	صفر	صفر	–	1/a

از این بررسی و نتایج جدول می توان نتیجه گرفت ساختارفولدینگ، با درون یابی ۸ از نظر پیچیدگی و حساسیت در بین ساختارهای دیگر جزو گزینه های نخست است. در نظر گرفتن ملاحظات دیگری مثل سرعت و تاخیر نیز این انتخاب را تایید می کند.

فصل۳ مبدل آنالوگ به دیجیتال فولدینگ با درون یابی

۳-۱ مقدمه

استفاده از مبدل های فولدینگ با درون یابی یک روش موثر برای تبدیل سیگنالهایی با پهنای باند زیاد به دیجیتال با درجه تفکیک[1] متوسط است. در مقایسه با مبدل فلاش، این مبدل ها تعداد مقایسه کننده کمتری دارند و در عین حال مزایای مبدل فلاش مثل سرعت بالا و تاخیر کم در آنها حفظ شده است. به دلیل کم شدن مقایسه کننده ها در ساختار فولدینگ، این ساختار انتخاب مناسبی برای طراحی مبدل مورد نظر در این پژوهش (با توان مصرفی پایین، دقت متوسط و سرعت بالا) به شمار می رود. کاهش تعداد مقایسه کننده ها از طریق استفاده از تقویت کننده های فولدینگ[2] (یا "تا کننده ها") امکان پذیر می گردد. و استفاده از روش درون یابی تعداد این تقویت کننده را پایین نگاه می دارد. اگرچه مبدل های فولدینگ در ابتدا با تکنولوژی دو قطبی[3] ساخته شدند[۳۱][۳]، امروزه اغلب مبدل های فولدینگ گزارش شده از تکنولوژی *CMOS* یا *BiCMOS* بهره می گیرند.

---

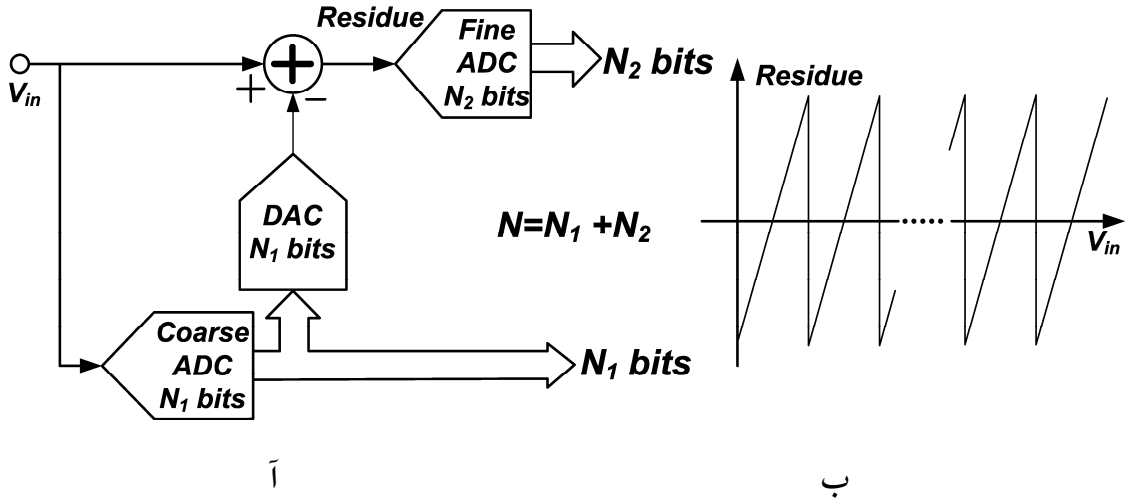
[1] Resolution

[2] Folding Amplifiers

[3]-Bipolar

۳-۲ مفهوم فولدینگ

ایده اصلی برای استفاده از روش فولدینگ این است که شکستن یک تبدیل N بیتی به دو تبدیل N_1 بیتی و N_2 بیتی بصورتیکه $N_1+N_2=N$ باشد، مزایایی را به دنبال خواهد داشت. در مبدل های دو مرحله ای این کار به این ترتیب انجام می شود که در مرحله اول یک مبدل درشت گام[1] سیگنال آنالوگ را با دقت N_1 بیت کوانتیزه می کند و در مرحله بعد سیگنال کوانتیزه شده دوباره به آنالوگ تبدیل شده و از سیگنال اصلی کم می شود و حاصل تفریق (یا سیگنال باقیمانده[2]) توسط مبدل ریز گام[3] با دقت N_2 بیت کوانتیزه می گردد (شکل۳- ۱- ب) . در نهایت، مجموع پیچیدگی در مبدل N_1 بیتی و N_2 بیتی از یک مبدل N بیتی کمتر است، ولی در عین حال بلوک های مبدل دیجیتال به آنالوگ و تفریق کننده بر این پیچیدگی می افزایند.



شکل ۳-۱ آ) بلوک دیاگرام مبدل دو مرحله ای ب) شکل سیگنال باقیمانده

[1]-Coarse ADC

[2]-Residue

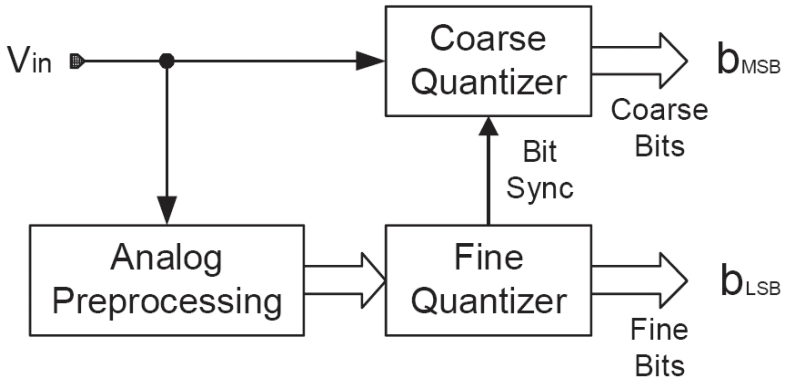
[3] Fine ADC

در روش فولدینگ سیگنال باقیمانده با استفاده از مدارهای آنالوگ ساخته می شود و نیاز به مبدل دیجیتال به آنالوگ و تفریق کننده را برطرف می سازد.

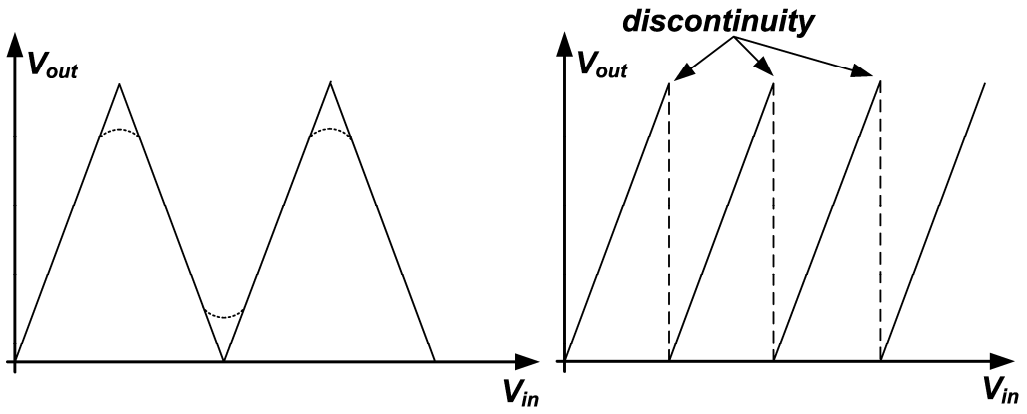
بلوک دیاگرام کلی روش فولدینگ در شکل ۳-۲ دیده می شود. سیگنال باقیمانده تولید شده توسط بلوک پیش پردازش آنالوگ مستقیماً به مبدل ریزگام اعمال می شود. با توجه به ماهیت تکرار شونده سیگنال باقیمانده، خروجی دیجیتال مبدل ریزگام نسبت به ورودی یک به یک نیست و برای تفکیک کدهای مشابه به مبدل درشت گام نیاز داریم.

به عبارت دیگر مبدل درشت گام (N_2 بیتی) مشخص می کند سیگنال ورودی در کدام یک از 2^{N2} زیر ناحیه قرار دارد و مبدل ریزگام در هر زیرناحیه N_1 بیت استخراج می کند. یک مزیت دیگر روش فولدینگ نسبت به روش دو مرحله ای این است که مبدل درشت گام و ریزگام در یک زمان و بصورت موازی عمل تبدیل را انجام می دهند.

در مقایسه با مبدل فلاش، همانگونه که در فصل ۲ توضیح داده شد، علاوه بر کاهش تعداد مقایسه کننده ها از 2^N-1 به $(2^{N2}+2^{N1}-1)$، امکان در نظر گرفتن بهره در پیش پردازشگر آنالوگ نیز وجود دارد که این امر حساسیت به خطا (افست) مقایسه کننده را کاهش می دهد.



شکل ۳-۲ بلوک دیاگرام یک مبدل فولدینگ



ب آ

شکل ۳-٤ آ) مشخصه دندانه اره ای ب) مشخصه مثلثی

۳-۳ پیاده سازی مشخصه فولدینگ

۳-۳-۱ پیاده سازی مشخصه فولدینگ ایده آل

همان گونه که در فصل ۲ اشاره شد، ساختن مشخصه شکل ۳- ب با فرض داشتن المانی با مشخصه شکل ۲- ۱- آ به شیوه های مختلف امکان پذیر است. مسئله عمده ای که در پیاده سازی مشخصه خطی اشباع شونده مطابق شکل ۲- ۱- آ وجود دارد، آن است که درمدارهایی که در عمل دارای مشخصه خطی اشباع شونده هستند معمولاً در نزدیکی مرز اشباع مشخصه از حالت خطی خارج می شود و به عبارت دیگر پدیده اشباع به تدریج و نه در یک نقطه اتفاق می افتد.

این امر باعث می شود شکل موج مثلثی شکل ۳-۳-ب به یک شکل شبه سینوسی (که در همان شکل با نقطه چین مشخص شده است) تبدیل شود. با استفاده از ضرایب حساسیت محاسبه شده در رابطه (۲-۱۸)، اگر میزان غیرخطی بودن به اندازه ای باشد که در نقطه شکست خروجی به جای L مقدار (L-ΔL) را داشته باشد، تغییر حالت خروجی از x_{n_0} به اندازه Δx جابجا می شود:

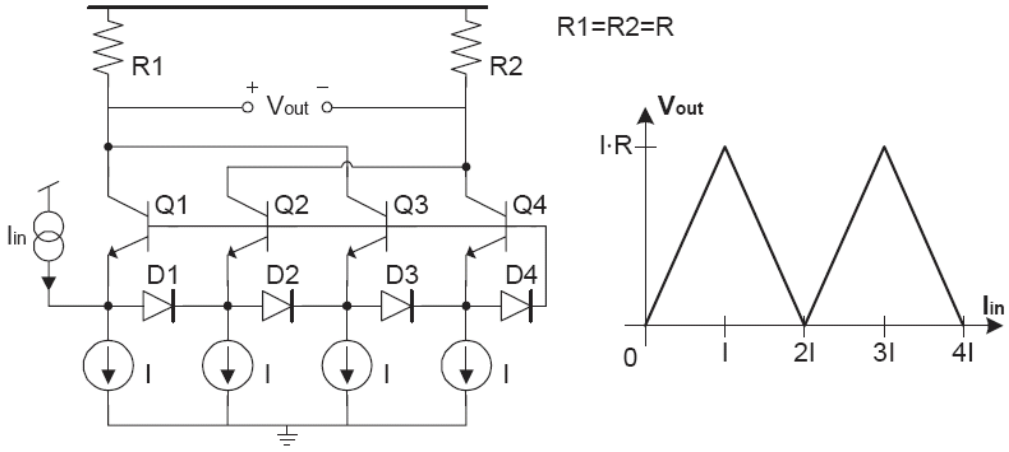
$$\Delta x = \frac{\Delta L}{a} = \frac{\Delta L}{2^{N_2}} \frac{R}{L} \qquad (۱-۳)$$

در این رابطه $2R$ محدوده ورودی، L مقدار اشباع و a شیب مشخصه است .با محاسبات مشابه مبحث حساسیت، می توان خطای INL ناشی از افت بهره را بصورت زیر بدست آورد:

$$INL = \frac{\Delta x}{x} = \frac{\Delta L}{L}.2^{N_1-1} \qquad (۲-۳)$$

از رابطه بالا مشخص است چنانچه بخواهیم خطای خروجی ناشی از این عامل از $0.5LSB$ بیشتر نشود، انحراف خروجی نسبت به مقدار ایده آل نباید از $\frac{R}{2^{N_1}}$ بیشتر شود.

یکی از روشهای ارائه شده برای پیاده سازی مشخصه فولدینگ ایده آل در شکل ۳-۵ دیده می شود[۳۳]. این پیاده سازی با فرض ورودی جریان و خروجی ولتاژ انجام شده است و در آن جریانهای مرجع I از ورودی کم می شود. تا جایی که جریان ورودی به هر سلول از I کمتر است، مقدار باقی مانده تا I توسط ترانزیستور تامین می شود و با گذشتن از مقدار I، اضافه جریان از طریق دیود به سلول بعدی انتقال می یابد.

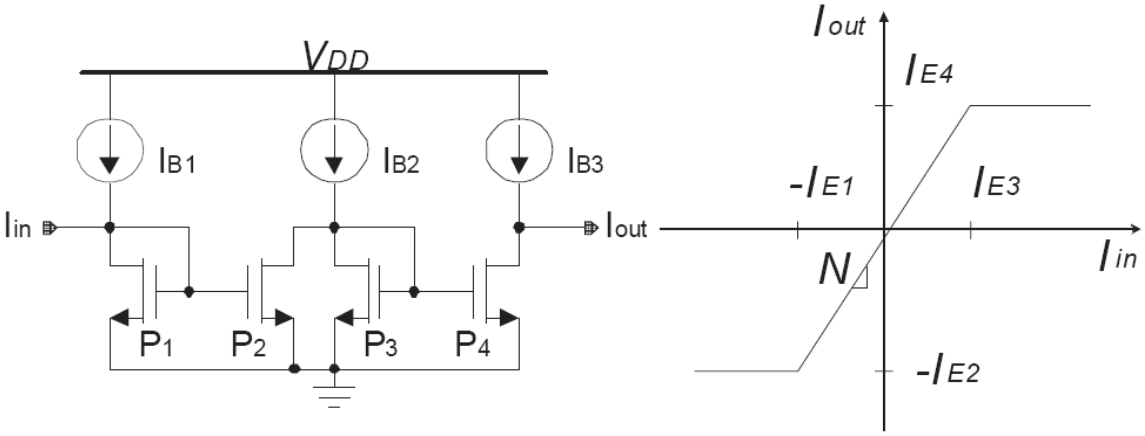


شکل ۳-۵ پیاده سازی مشخصه فولدینگ با دیود و ترانزیستور

چنانچه منابع جریان بکار رفته امپدانس خروجی بالایی داشته باشند، مشخصه ایده آل با تقریب خوبی قابل پیاده سازی است ولی ایراد اساسی آن نیاز به سوینگ[1] زیاد در ورودی به علت افت ولتاژ روی دیودها است که عملاً پیاده سازی آن را در رژیم های ولتاژ پایین ناممکن می سازد.

یکی دیگر از راههای پیاده سازی مشخصه خطی اشباع شونده استفاده از آیینه های جریان برای ساختن شیب های مختلف (از جمله شیب واحد)، استفاده از منابع جریان با امپدانس بالا برای ساختن مراجع و اتصال مسیرها برای ساختن جمع کننده است (شکل۳-٦).

برای بالا بردن امپدانس خروجی منابع و آیینه های جریان می توان از ترانزیستورهای کسکود و یا از تکنیک استفاده از آپ امپ در حلقه فیدبک استفاده کرد[۳٤].



شکل ۳-٦ ساختن مشخصه خطی اشباع شونده با سیگنال های جریانی

هرچند دقت این روش را با تکنیک های بالا و نیز با افزایش طول (و عرض) کانال ترانزیستورها می توان افزایش داد، سرعت عملکرد آن محدود است. آیینه های جریان معمولاً پهنای باند قابل قبولی دارند ولی در این ساختار در زمانهایی مقدار جریان یک گره به صفر می رسد که این امر زمان شارژ و دشارژ خازن آن گره را به میزان غیرقابل قبولی افزایش می دهد. مخصوصاً که برای رسیدن به دقت

[1] -Swing

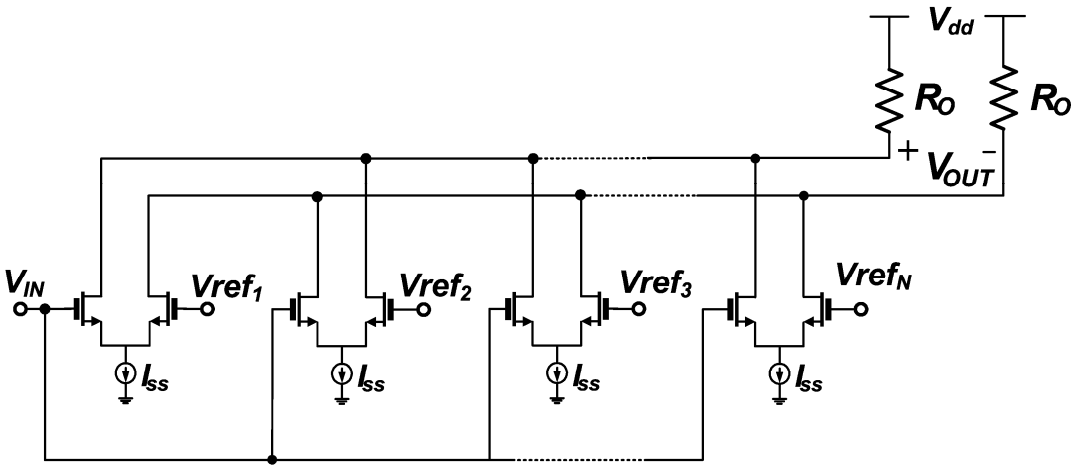
قابل قبول (بخصوص در مورد نسبت تبدیل آیینه های جریان) سطح ترانزیستورها باید بزرگ در نظر گرفته شود که به افزایش خازن گره ها منجر می گردد. یک راه برای مقابله با کاهش سرعت این است که جریان ثابتی را به گره ها تزریق کرد و به عبارت دیگر مشخصه را بصورتی شیفت داد که جریان هیچ گره ای به صفر نرسد که البته این راه به قیمت افزایش توان مصرفی تمام خواهد شد.

در مجموع، محدودیت های پیاده سازی مشخصه ایده آل باعث شده تا مبدل های فولدینگ در جهت تغییر ساختار به صورتی که حساسیت به دقت شیب کاهش یابد، حرکت کنند.

۳-۳-۲ پیاده سازی مشخصه فولدینگ غیر ایده آل

در مبدل های فولدینگ عملی معمولاً از یک زوج دیفرانسیل برای پیاده سازی مشخصه خطی اشباع شونده استفاده می شود. جریان های خروجی زوج های مختلف براحتی می توانند در جهت های مختلف (مثبت یا منفی) با یکدیگر جمع شوند و شیفت مشخصه ها با تغییر ولتاژ مرجع اعمال شده به یک ورودی هر زوج دیفرانسیل انجام می شود یک ورودی دیگر همه زوجها به ورودی وصل می شود (شکل ۳-۷) .

چنانچه تعداد زوجهای دیفرانسیل زوج باشند، جریان خروجی بین صفر و $2.I_{SS}$ تغییر می کند. به عبارت دیگر مشخصه خروجی یکطرفه خواهد بود. اضافه کردن یک زوج دیفرانسیل در اینحالت باعث می شود مشخصه بصورت دو طرفه بین $\pm I_{SS}$ درآید.



شکل ۳-۷ یک بلوک فولدینگ عملی با مشخصه غیرایده آل

از آنجا که تعداد زوج های دیفرانسیل مورد نیاز به عدد ضریب فولدینگ و زوج است، ولتاژ مرجع این زوج کمکی می تواند خارج از محدوده اصلی در نظر گرفته شود و یا هر دو ورودی آن به دو ولتاژ مرجع دور از یکدیگر وصل شود که عملاً به معنی کم کردن یک I_{SS} ثابت از مشخصه یکطرفه خروجی است.

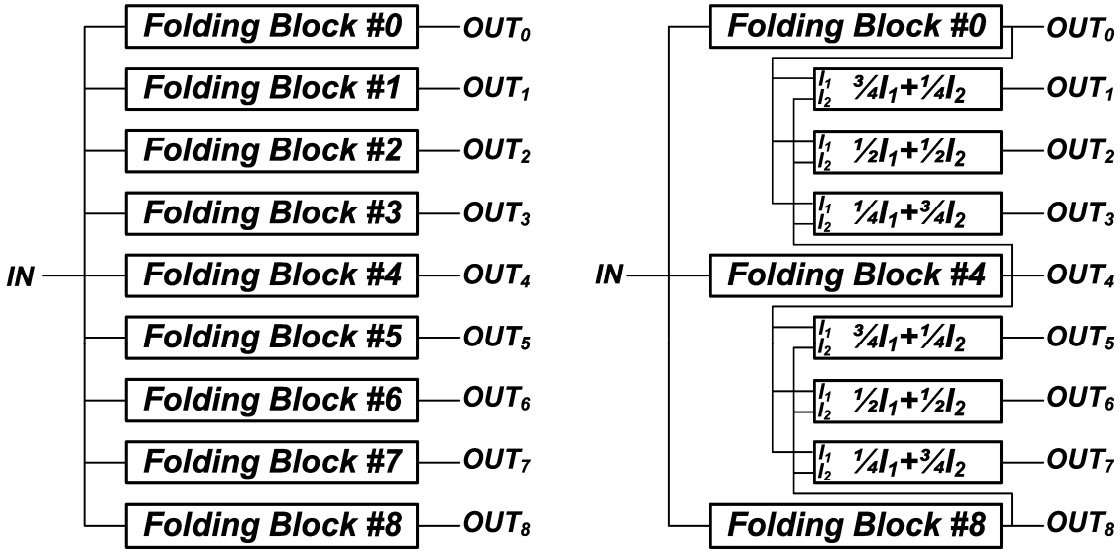
مدار فوق از کاستی هایی همچون مولفه مشترک خروجی با دامنه بزرگ نسبت به دامنه سیگنال تفاضلی، خازن بزرگ گره های خروجی و موارد دیگر که در دنباله به آنها اشاره خواهد شد برخوردار است. ولی پیش از پرداختن به این جنبه های مداری باید به مسئله مهم تر غیرخطی بودن مشخصه پرداخته شود.

در عمل قسمت میانی مشخصه زوج دیفرانسیل را علی رغم آنکه کل مشخصه چه تابعی دارد (درجه دو یا تانژانت هیپربولیک[۳۵])، با تقریب خوبی می توان خطی در نظر گرفت. بنابراین اگر بجای پوشش دادن یک زیر محدوده با یک زوج دیفرانسیل آنرا با چند زوج دیفرانسیل پوشش دهیم، این امکان بوجود می آید که فقط از قسمت های خطی هر زوج استفاده کنیم. اگر نسبت قسمت خطی

۳-٤ درون یابی[1]

پیاده سازی ساختار فولدینگ به گونه ای که در بالا توضیح داده شد با توجه به تعداد زیاد زوج های دیفرانسیل چنان توان مصرفی و سطح مدار را افزایش می دهد که در عمل به ندرت ممکن است مورد استفاده قرار گیرد. از این رو تعداد قابل توجهی از شکل موجهای فولدینگ موازی مورد نیاز از طریق درون یابی از چند سیگنال تولید شده ساخته می شوند[۳٦].

شکل ۳-۹ اصول روش درون یابی را نشان می دهد. سه بلوک فولدینگ اصلی سه شکل موج شبه سینوسی می سازند و ٦ شکل موج دیگر با استفاده از تقسیم مقاومتی از این سه سیگنال ساخته می شود.



شکل ۳-۹ اصول روش درون یابی

روش درون یابی در عمل با دو مسئله جانبی همراه خواهد بود. نخست آنکه می توان نشان داد شرط آنکه سیگنال های ساخته شده با روش درون یابی دقیقاً مشابه سیگنال های اصلی حذف شده باشند

[1] Interpolation

(حداقل در محدوده عبور از صفر) آن است که شیب سیگنالهای مورد استفاده برای درون یابی ثابت باشد یا تغییرات به گونه ای باشد که تغییرات دیگری را جبران کند.

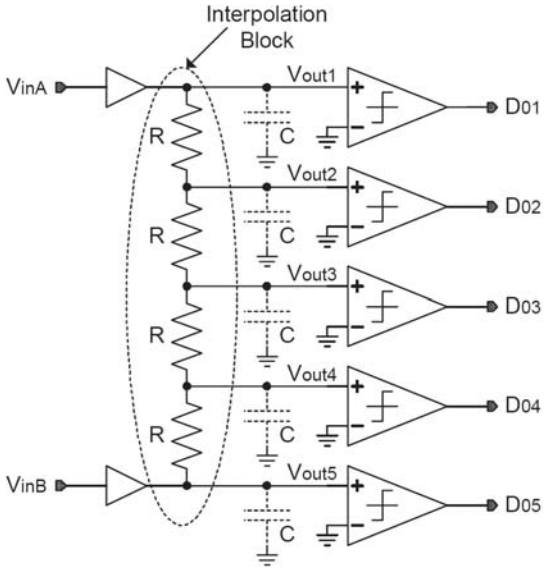
در عمل با توجه به افت بهره در دو انتهای مشخصه زوج های دیفرانسیل، درون یابی دراین نواحی باعث جابجا شدن برخی از محل های عبور از صفر سیگنال های خروجی شبکه درون یابی می شود که میزان این خطا به میزان انحراف شیب و نیز ضریب درون یابی بستگی دارد[۳۷]. همچنین با توجه به محاسبات فصل ۲ روش درون یابی حساسیتی به میزان انطباق بهره بلوک های فولدینگ ایجاد می کند. به عبارت دیگر اگرچه شکل و مقدار بهره بلوک ها روی خطای خروجی تاثیر نخواهد داشت، عدم یکسان بودن این بهره در دو بلوک مجاور باعث ایجاد خطا در درون یابی می گردد. نکته دیگر که در روش درون یابی باید مورد توجه قرار گیرد، درون یابی در ابتدا و انتهای محدوده است. برای اینکه درون یابی در این دو بخش با دقت قابل قبول صورت گیرد، لازم است در خارج از محدوده نیز سیگنال های اصلی امتداد داشته باشند. این کار از طریق اضافه کردن ضریب فولدینگ (به عبارت دیگر اضافه کردن دو زوج دیفرانسیل در انتهای هر بلوک فولدینگ) صورت می گیرد.

۳-٤-۲ درون یابی ولتاژی

استفاده از نردبان مقاومتی متداول ترین روش برای درون یابی بین دو سیگنال از جنس ولتاژ است. تعداد مقاومت ها بین دو خروجی متوالی برابر ضریب درون یابی خواهد بود و مقدار مقاومت ها باید تا حدی که از محاسبه ضرایب حساسیت مشخص می شود (رابطه ی ۲-۲۰) با یکدیگر مساوی باشند. در صورتیکه میزان انحراف شیب مشخصه ها کاملاً مشخص و ثابت باشد، می توان با تغییر مقدار برخی از مقاومت ها خطای ذاتی ناشی از درون یابی را کاهش داد. هرچند در عمل چون میزان

انحراف شیب تابع عوامل متعددی است و با دقت قابل پیش بینی نیست، و از طرف دیگر ساخت مقاومت های مساوی نسبت به ساخت مقاومت هایی با نسبت غیرصحیح با اطمینان و دقت بیشتری انجام پذیر است، درون یابی غیرخطی می تواند بسادگی منجر به افزایش خطای ذاتی شود.

یکی از ایرادات درون یابی ولتاژی این است که مقاومت دیده شده از ورودی مقایسه کننده ها (= خروجی های طبقه درون یابی) یکسان نیست و به تدریج از خروجی ابتدایی تا خروجی میانی افزایش می یابد (شکل ۳- ۱۰). این امر باعث ایجاد تاخیرهای ناهمگون در شبکه درون یابی و نیز افزایش نویز کیک بک[1] مربوط به مقایسه کننده ها می گردد.



شکل ۳-۱۰ درون یابی ولتاژی

با اضافه کردن مقاومت سری در ورودی مقایسه کننده ها و کاهش تدریجی مقدار آنها از خروجی های ابتدایی و انتهایی بسمت خروجی میانی، می توان مقاومت همه مسیرها را یکسان (و البته برابر بیشترین مقدارمقاومت) نمود[۳۸].

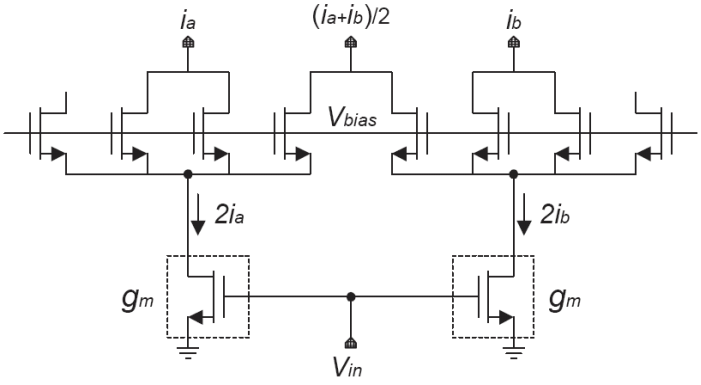
[1] -Kick back Noise

۳-٤-۳ درون یابی جریانی

اگر سیگنال های خروجی بلوک فولدینگ از نوع جریان باشد، می توان آنها را مستقیماً با استفاده از تعدادی آیینه جریان درون یابی کرد[۳۹]. به عبارت دیگر ضرایب:

$$b_j = \frac{j}{I} \qquad \text{j=1:}I \qquad (۳-۳)$$

توسط آیینه های جریان ساخته می شوند و سپس دو به دو با یکدیگر جمع می شوند. شکل ۳-۱۱ روش درون یابی جریانی را برای I =۲ نشان می دهد.



شکل ۳-۱۱ درون یابی جریانی

۳-۵ دکودر دیجیتال

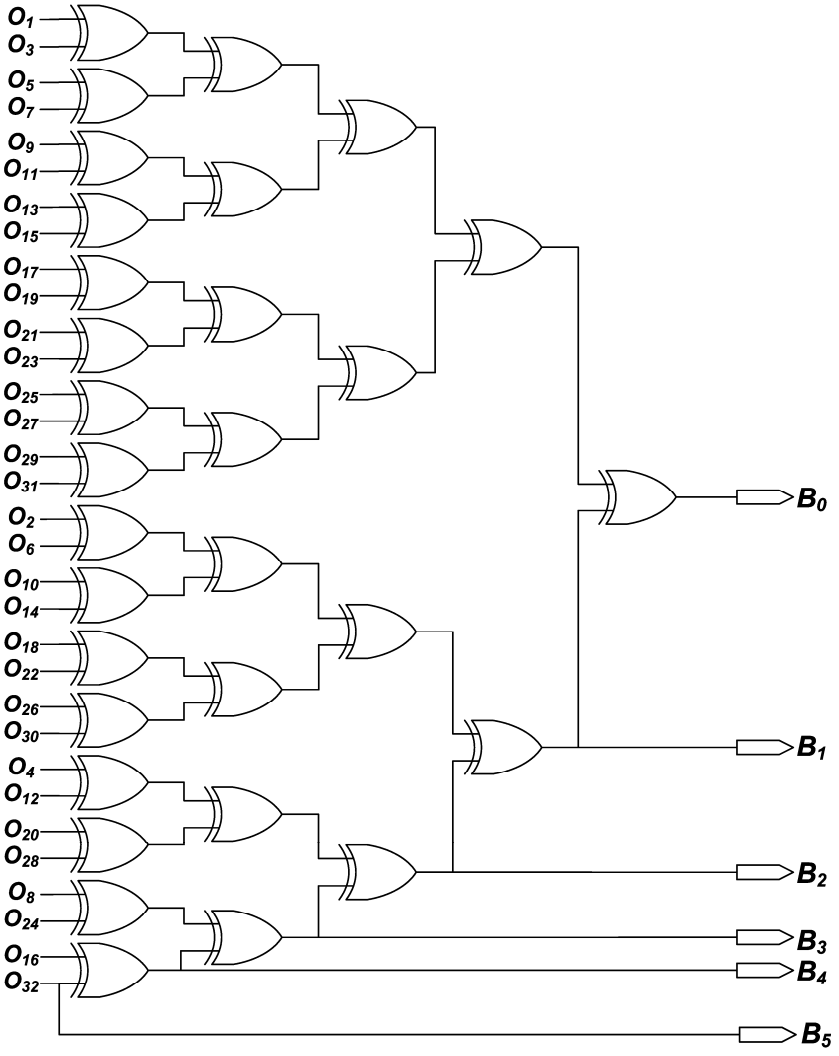
هر یک از مقایسه کننده های خروجی که تعداد آنها 2^{N1}-1 است، در هر زیرمحدوده یک عبور از صفر را تشخیص می دهند و خروجی آنها به صورت کد ترمومتری[1] است. برای تبدیل این کد به کد باینری[2] می توان از تعدادی گیت XOR استفاده کرد. آرایش این گیت ها در شکل ۳-۱۲ برای حالت

[1] Thermometric Code

[2] Binary Code

N_I=5 نمایش داده شده است و رابطه ۳- ٤، خروجی های باینری را بصورت تابع منطقی از خروجی مقایسه کننده هادر حالت کلی نشان می دهد.

$$
\begin{aligned}
B_0 &= O_1 \oplus O_2 \oplus O_3 \oplus ..... \oplus O_{2^{N1}} \\
B_1 &= O_2 \oplus O_4 \oplus O_6 \oplus ..... \oplus O_{2^{N1}} \\
B_2 &= O_4 \oplus O_4 \oplus O_6 \oplus ..... \oplus O_{2^{N1}} \\
&\vdots \\
B_{N1-1} &= O_{2^{N1-1}} \oplus O_{2^{N1}} \\
B_{N1} &= O_{2^{N1}}
\end{aligned}
\qquad (٤-٣)
$$



شکل ۳-۱۲ آرایش دکودر دیجیتال

۳-٦ کاهش توان در مبدل فولدینگ

از آنجا که هدف اصلی از این پژوهش یافتن راهکارهایی برای پیاده سازی ساختار فولدینگ در ولتاژهای تغذیه پایین و با توان مصرفی کم است، در ابتدا سعی می کنیم عوامل موثر بر تعیین توان مصرفی (در شرایطی که فرکانس سیگنال ورودی و دقت مورد نیاز مشخص است) را بیابیم. به این منظور یک مبدل فولدینگ N بیتی فرضی را با ضریب فولدینگ F_F، ضریب درون یابی I، حداکثر فرکانس ورودی f_{max} و حداکثر خطای INL برابر e_0 در نظر می گیریم. بلوک های فولدینگ مشابه شکل در نظر گرفته می شوند.

با توجه به روابط مربوط به میزان انطباق ترانزیستورها[٤٠] و با فرض اینکه خطای خروجی عمدتاً ناشی از عدم تطبیق ترانزیستورهای مربوط به زوجهای دیفرانسیل باشد می توان نوشت:

$$\sigma_{Voff} \approx \frac{A_{Vth}}{\sqrt{W.L}} \qquad (۵-۳)$$

که در این رابطه $A_{Vth} = \gamma.T_{ox}$ در هر تکنولوژی مقدار مشخصی دارد [٤١] و LوW ابعاد ترانزیستورهای ورودی هستند. برای آنکه مطمئن باشیم خطای INL در بیش از ۹۹ درصد از موارد کمتر از e_0 است باید داشته باشیم:

$$\frac{3.\gamma T_{ox}}{\sqrt{W.L}.\Delta} = \frac{3.\gamma T_{ox}.2^N}{\sqrt{W.L}V_{FS}} \le e_0 \quad \Rightarrow \quad W.L \ge \frac{9.\gamma^2 T_{ox}^2.2^{N+1}}{V_{FS}.e_0} \qquad (٦-۳)$$

در رابطه بالا V_{FS} محدوده تمام مقیاس ورودی[1] است.با بررسی این رابطه مشخص است که تمام عوامل صورت سمت راست معادله با انتخاب تکنولوژی و تعداد بیت مشخص می شوند بنابراین هر چه مخرج بزرگ تر باشد، حداقل اندازه ترانزیستورها کوچکتر خواهد بود. به عبارت دیگر به ازای

[1] Full Scale Input Range

دقت مشخص هر چه محدوده ورودی بزرگتر شود، این دقت با ترانزیستورهای کوچکتری قابل دسترسی است.

بهره خروجی تا ورودی در هر یک از زیرمحدوده ها با توجه به جریان زوج های دیفرانسیل (I_{SS}) بصورت زیر بدست می آید:

$$A = g_m R_{out} = \sqrt{k_n (\frac{W}{L}) Iss} . R_{out} \qquad (۷-۳)$$

با فرض اینکه بخواهیم حداکثر محدوده خروجی برابر محدوده ورودی باشد، این بهره باید مقداری برابر F_F داشته باشد

$$A = g_m R_{out} = F_F \qquad \Rightarrow \qquad k_n \frac{W}{L} I_{SS} R_{out}^2 = F_F^2 \qquad (۸-۳)$$

از طرف دیگر پاسخ فرکانسی این مدار عمدتاً با قطب گره های خروجی تعیین می شود. با توجه به غیرخطی بودن مدار می توان نشان داد در حالتی که از مدار نمونه برداری استفاده نشود، حداکثر فرکانسی که در گره خروجی ظاهر می شود برابر است با [۴۲]

$$f_{out_{\max}} = \sqrt{2} . F_F . f_{in_{\max}} \qquad (۹-۳)$$

برای اینکه سیگنالی با این فرکانس در خروجی ایجاد اعوجاج نکند، قطب گره خروجی باید از مقدار مشخصی دورتر باشد. فرض کنیم:

$$\omega_{out} = \frac{1}{R_{out} . C_{out}} = 2 . \pi . \sqrt{2} . F_F . f_{in_{\max}} \qquad (۱۰-۳)$$

C_{out} مجموع خازن پارازیتیک مربوط به درین[1] زوج های دیفرانسیل است. از آنجا که هر خروجی به تعداد F_F ترانزیستور وصل است، می توان نوشت:

[1] Drain

$$C_{out} \approx F_F . C_{GD} \approx F_F W . C_0 \qquad (۱۱-۳)$$

که در این رابطه $C_0 \approx E . C_j + 2C_{j_{SW}}$ در یک تکنولوژی مقدار مشخصی دارد. با ترکیب رابطه های (۳- ۱۱) و (۳- ۱۰) و جای گذاری در (۳- ۸) خواهیم داشت:

$$k_n \frac{W}{L} I_{SS} \frac{1}{(F_F W . C_0 . \sqrt{2} . f_{in_{\max}})^2} = F_F^2 \qquad (۱۲-۳)$$

و جریان هر زوج بصورت زیر با ترکیب (۳- ۱۲) و (۳- ٦) بدست می آید:

$$I_{SS} = \frac{F_F^4 . C_0^2 . 2 f_{in_{\max}}^2 W . L}{k_n} = \frac{18 . F_F^4 . C_0^2 . \gamma^2 T_{ox}^2 2^{N+1}}{k_n V_{FS} . e_0} f_{in_{\max}}^2 \qquad (۱۳-۳)$$

با توجه اینکه برای ضریب درون یابی I ، تعداد کل زوجهای دیفرانسیل $2^N/I$ است، جریان کشیده شده از تغذیه برابر خواهد بود با:

$$I_{Vdd} = \frac{2^N}{I} . I_{SS} \qquad (۱٤-۳)$$

و در نهایت توان مصرفی خواهد بود:

$$P = I_{V_{DD}} V_{DD} = K_{Tech} . K_{Design} \frac{1}{\eta_V} f_{in_{\max}}^2 \qquad (۱۵-۳)$$

در رابطه بالا:

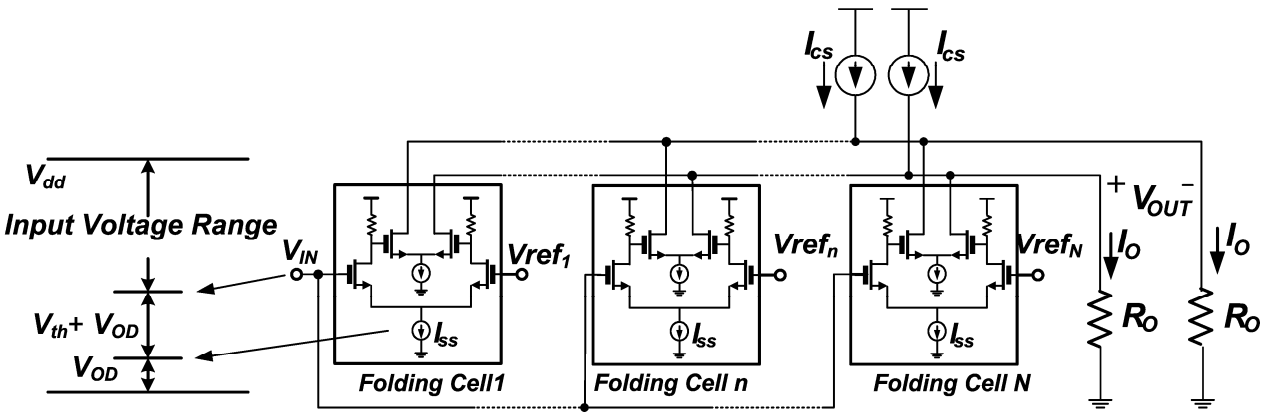
$$K_{Tech} = \frac{C_0^2 \gamma^2 T_{OX}^2}{k_n} \qquad (۱٦-۳)$$

$$K_{Design} = \frac{F_F^4 2^{N+1}}{e_0} \qquad (۱۷-۳)$$

$\eta = V_{in}/V_{DD}$ راندمان ولتاژ است [٤۳] و هرچه محدوده ورودی به تغذیه نزدیکتر باشد، مقدار آن به ۱ نزدیک تر خواهد بود.

رابطه (۳-۱۵) نشان می دهد هرچه راندمان ولتاژ بیشتر باشد، به ازای حداکثر فرکانس ورودی مشخص توان مصرفی کمتر خواهد بود و از طرف دیگر در توان مصرفی مشخص، ورودی تا فرکانس های بالاتری قابل افزایش است.

مشکلی که در افزایش محدوده ورودی مبدل فولدینگ وجود دارد آن است که زوجهای دیفرانسیل ورودی برای آنکه در ناحیه خطی کار کنند، محدودیتی روی سطح پایین محدوده ورودی (در مورد ترانزیستورهای NMOS) یا روی سطح بالایی این محدوده (در مورد ترانزیستورهای PMOS) اعمال می کنند(شکل ۳- ۱۳).



شکل ۳-۱۳ محدودیت محدوده ورودی

با توجه به شکل ۳- ۱۳ می توان نوشت:

$$V_{in\max} = V_{DD} - (V_{GS1} + V_{OD}) = V_{DD} - V_{th} - 2V_{OD} \qquad (۱۸-۳)$$

به عنوان مثال چنانچه $V_{DD}=1.5^V$ و $V_{th}=0.5^V$ و $V_{OD}=0.05^V$ باشد:

$$V_{in\max} = 1.5 - 0.5 - 01 = 0.9 \qquad (۱۹-۳)$$

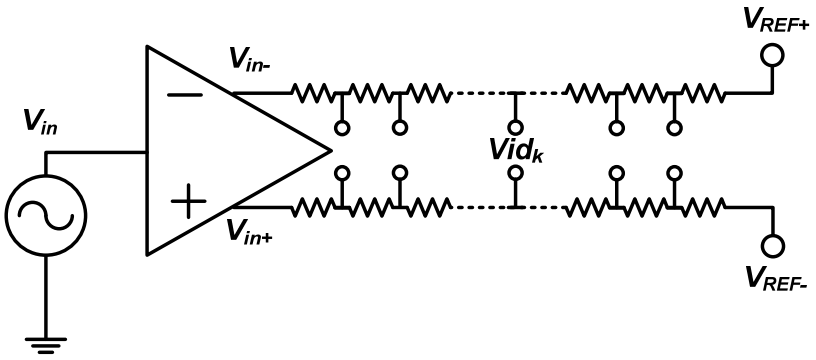
هرچه به سمت تکنولوژی های جدیدتر پیش می رویم، با توجه به اینکه ولتاژ آستانه[1] به میزانی کمتر از ولتاژ تغذیه کوچک می شود، محدودیت بالا خود را بیش تر نشان می دهد[٤٤]. همچنین اگر به منظور ایجاد امکان درون یابی در دو انتهای محدوده d زوج تفاضلی اضافه شود، در واقع محدوده قابل استفاده به نسبت $\frac{F_F}{F_F+d}$ کوچک تر شده است.

۳-٦-۲ روش های موجود برای افزایش محدوده ورودی

تنها روش موثری که برای افزایش محدوده ورودی مورد استفاده قرار گرفته است، استفاده از سیگنال های دوطرفه یا دیفرانسیل در ورودی است. این کار در عمل محدوده ورودی را "افزایش" نمی دهد بلکه از محدوده موجود دوبار استفاده می کند. اینکار به دو صورت زیر گزارش شده است.

در روش اول یک بافر در ورودی کل مبدل قرار می گیرد که دو خروجی مستقیم و معکوس دارد (این بافر می تواند بافر خروجی مدار نمونه بردار باشد[۲۰]. ولتاژ مرجع اصلی نیز بصورت دو طرفه (V_{ref+}, V_{ref-}) ساخته می شود (V_{ref-} می تواند زمین باشد) بین خروجی معکوس بافر (Vin_-) و ولتاژ مرجع مثبت (V_{ref+}) و نیز بین Vin_+ و V_{ref+} دو نردبان مقاومتی قرار می گیرد که هر یک به تعداد زوجهای دیفرانسیل سر وسط دارند. هر زوج تفاضلی به خروجی های متناظر دو نردبان مقاومتی وصل می شوند (شکل ۳- ١٤)

[1] -Threshold Voltage



شکل ۳-۱٤ ساختن سیگنال ورودی دیفرانسیل

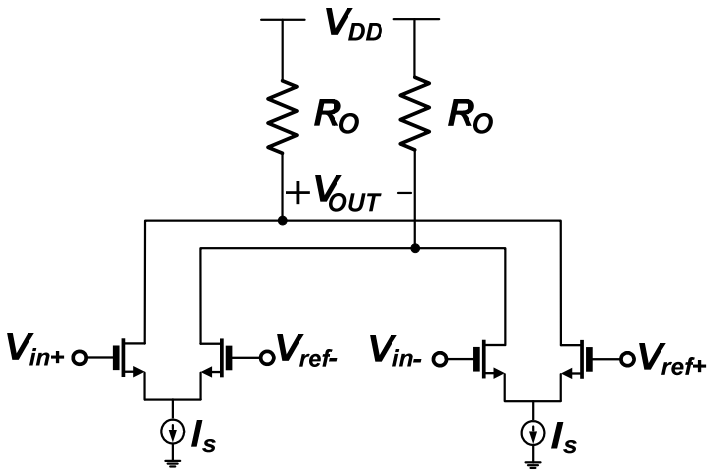
در اینحالت ورودی زوج دیفرانسیل Kام خواهد بود:

$$Vid_k = \frac{k}{N}(V_{in+} + V_{REF-}) - \frac{k}{N}(V_{in-} + V_{REF+}) \qquad (۲۰-۳)$$

ایراد عمده این روش به طراحی بافر برمی گردد. مشخصات مورد نیاز برای این بافر عبارتند از جریاندهی بالا (برای راندن نردبان های مقاومتی) پهنای باند زیاد و نوسان خروجی برابر محدوده ورودی یکطرفه. پیاده سازی چنین بافری مستلزم صرف توان زیادی خواهد بود.

یک روش دیگر استفاده از پیش تقویت های شبه دیفرانسیلی مشابه شکل ۳- ۱۵ است[٤٥][٤٦]. هنگامی که $Vin_+=V_{ref+}$ و در نتیجه $Vin_-=V_{ref-}$ است، جریان ترانزیستورهای هر زوج با یکدیگر برابرند و در نتیجه خروجی تفاضلی در این نقطه از صفر عبور می کند. این خروجی به ورودی تقویت کننده فولدینگ اصلی اعمال می شود.

در مدار شکل ۳- ۱۵ ا لازم نیست جریان دو زوج تفاضلی دقیقاً با هم برابر باشند. ولی تطابق ترانزیستورهای هر زوج با یکدیگر اهمیت دارد. به عبارت دیگر می توان نشان داد ولتاژ افست ورودی برای این پیش تقویت کننده $\sqrt{2}$برابر نسبت به پیش تقویت کننده یکطرفه بیشتر است که بخشی از مزیت مربوط به افزایش محدوده ورودی را کمرنگ می سازد.



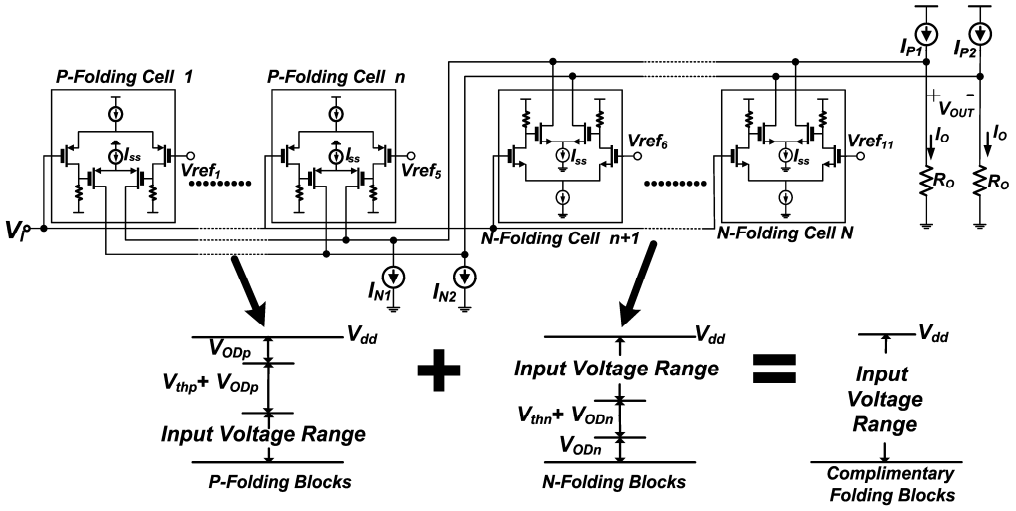
شکل ۳-۱۵ پیش تقویت کننده شبه تفاضلی

از نظر توان مصرفی نیز این پیش تقویت کننده دو برابر پیش تقویت کننده یکطرفه مشابه توان مصرف می کند. با این وجود در اغلب مبدل های فولدینگ جدید از این روش برای افزایش دامنه ورودی و داشتن ورودی دو طرفه استفاده می شود.

۳-٦-۳ روش پیشنهادی برای افزایش دامنه ورودی

یک روش ابداعی که در این پژوهش برای افزایش دامنه ورودی مبدل فولدینگ پیشنهاد و پیاده سازی شده است[٤٧] بر پایه استفاده همزمان از زوجهای تفاضلی NMOS و PMOS استوار است. به این ترتیب که قسمت پایین محدوده ورودی توسط ترانزیستورهای PMOS پوشش داده می شود که می توانند تا ورودی صفر را قبول کنند و قسمت بالای محدوده با استفاده از زوجهای تفاضلی که با ترانزیستورهای NMOS ساخته شده اند فولد می شوند. شکل (۳- ١٦) چگونگی افزایش محدوده ورودی بصورت تمام محدوده[1] را نشان می دهد.

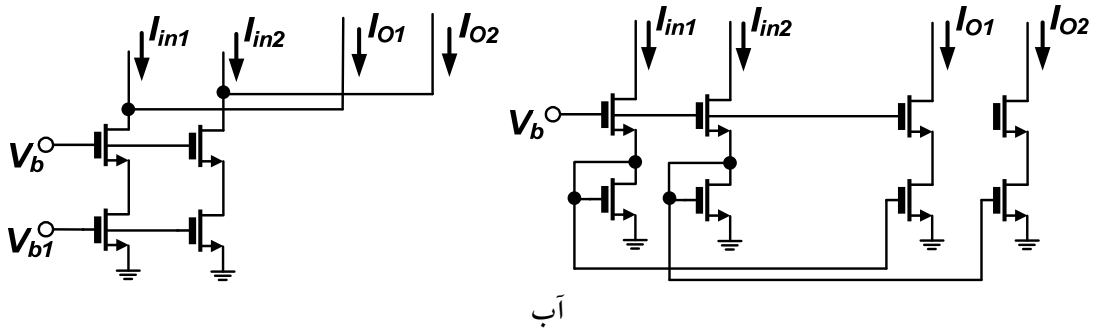
[1]-Rail to Rail



شکل ۳-۱۶ ساختار پیشنهادی برای افزایش دامنه ورودی مبدل فولدینگ

به این ترتیب هر بلوک فولدینگ به دو زیر مجموعه PMOS وNMOS تقسیم می شود. جریانهای خروجی این دو زیرمجموعه در خلاف جهت یکدیگر قرار دارند وبرای آنکه با یکدیگر جمع شوند جهت یکی از آنها (به عنوان مثال خروجی زیر مجموعه) باید معکوس شود تا بتواند با جریان خروجی زیر مجموعه جمع گردد.

برای معکوس کردن جهت جریان می توان از دو آیینه جریان استفاده کرد و یا در ساختاری شبیه به کسکود تاشده[1] با کم کردن جریان خروجی از یک مقدار ثابت جهت آنرا تغییر داد (شکل ۳- ۱۷)



شکل ۳-۱۷ تغییر جهت جریان با استفاده از آ) آیینه جریان ب) کم کردن از جریان ثابت

[1] -Folded Cascode

روش استفاده از منبع جریان ثابت مزایای قابل ملاحظه ای بر روش اول دارد که از آن میان می توان به موارد زیر اشاره کرد:

۱- نسبت تبدیل آن حتماً ۱ است

۲- مقداری از دامنه جریان مشترک کم می کند

۳- به فضای ولتاژ کمتری نیاز دارد ($2V_{OD}$ درمقابل $V_{GS}+V_{OD}$)

٤- بالقوه سرعت بالاتری دارد

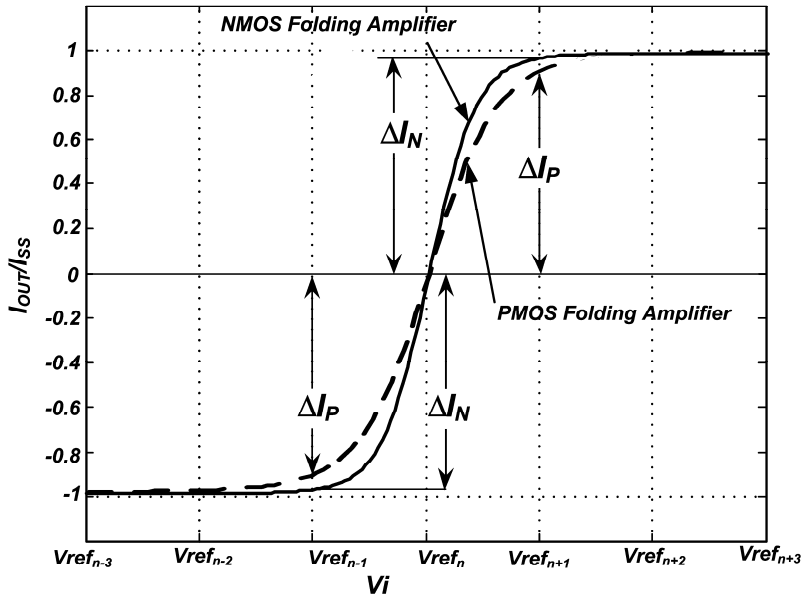
۵- خطای ناشی از عدم تطبیق در آن کمتر است

۳-٦-٤ تنظیم مشخصه های NMOS و PMOS

چنانچه شیب مشخصه زوجهای تفاضلی (=بهره) به ازای کافی زیاد باشد، در هر زیر محدوده پیش از رسیدن به مرز زیر محدوده جریان خروجی به اشباع کامل رسیده است و هیچ هم پوشانی بین دو زیر محدوده وجود ندارد. در عمل اینکار باعث ازدیاد خطای درون یابی می گردد و به علت تیز شدن مشخصه ها از نظر سرعت اشکالاتی پدید می آورد. از این نظر معمولاً بهره زوجهای تفاضلی به گونه ای در نظر گرفته می شود که در مرز دو زیر ناحیه هیچیک از دو مشخصه دو طرف به اشباع کامل نرسیده و هم پوشانی بین دو مشخصه وجود دارد. چنانچه به اشباع رفتن مشخصه ها به کندی صورت گیرد (چنانچه در عمل بخصوص در تکنولوژی های زیرمیکرون چنین است)، دنباله قسمت خطی مشخصه یک زیر محدوده می تواند تا نقطه عبور از صفر زیر محدوده مجاور امتداد یابد.

این امر تا هنگامی که مشخصه زوجهای تفاضلی یکسان و متقارن است موجب جابجایی نقطه عبور از صفر نخواهد شد چرا که در هر نقطه عبور از صفر دو مقدار غیرصفر مساوی در دو جهت از مجموع جریانها کم می شوند که جمع برداری آنها صفر خواهد شد.

در ساختار پیشنهاد شده (در مرز زیر بلوک PMOS و NMOS) دو زوج تفاضلی در هر بلوک وجود دارد که مشخصه زیرمحدوده های مجاور آن یکسان نیستند یعنی یکی توسط ترانزیستورهای NMOS و دیگری توسط ترانزیستورهای PMOS ساخته می شوند (شکل۳- ۱۸). این امر باعث می شود که دو تا از محل های عبور از صفر هر بلوک و نیز محل عبور از صفر همه سیگنالهایی که از درون یابی این قسمت از سیگنالهای فولدینگ اصلی ساخته می شوند، جابجا می شود.



شکل ۳-۱۸ تفاوت در مشخصه های NMOS و PMOS

با تغییر نسبت *W/L* یکی از ترانزیستورها (به عنوان مثال PMOS) می توان مشخصه زوجهای تفاضلی NMOS و PMOS را به یکدیگر نزدیک کرد ولی اینکار می تواند به افزایش غیرمنطقی این

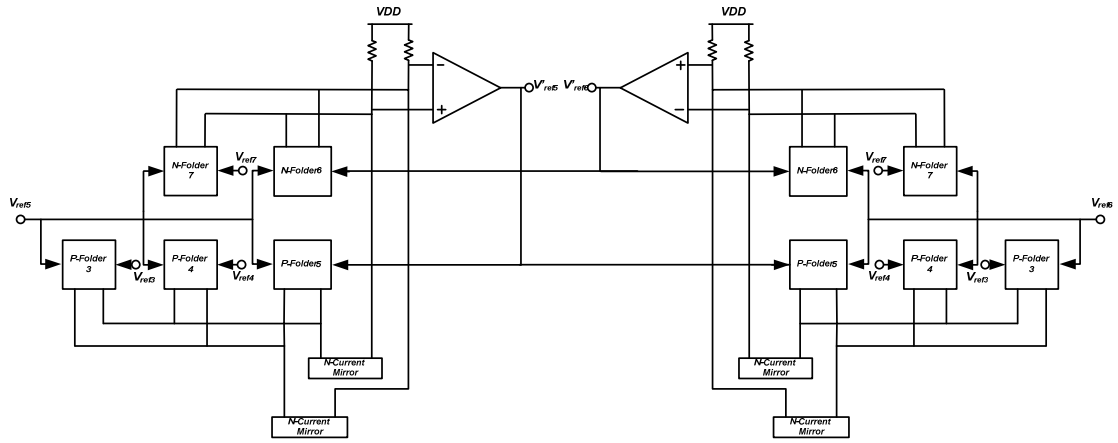
نسبت برای ترانزیستورهای PMOS منجر شود و گذشته از این هیچ تضمینی وجود ندارد که یکسان بودن دو مشخصه در گوشه های پروسه و با تغییرات دما و ولتاژ تغذیه حفظ شود.

چنانچه میزان جابجایی نقاط عبور از صفر در مشخصه فولدینگ اصلی مشخص باشد، می توان با جابجا کردن ولتاژهای مربوطه به همان میزان، خطای ایجاد شده را جبران کرد. همانگونه که اشاره شد این مقدار به تفاوت مشخصه زوج تفاضلی NMOS و PMOS در شرایط مختلف بستگی دارد و ثابت نیست.

استفاده از مداری مطابق شکل (۳- ۱۹) می تواند این خطا را محاسبه و جبران کند. یک زوج دیفرانسیل NMOS ویک زوج PMOS مشابه آنهایی که در بلوک های فولدینگ به کار رفته اند در این مدار مورد استفاده قرار گرفته اند. ورودی این زوجهای دیفرانسیل به ولتاژهای مرجع مناسب به گونه ای وصل شده اند که جریان خروجی آنها برابر جریان خروجی زوج تفاضلی بلوک فولدینگ در محل عبور از صفر زوج تفاضلی مجاور باشد.

مقدار تفاوت این دو جریان (مربوط به زوج NMOS و PMOS) توسط یک تقویت کننده عملیاتی حس شده و این تقویت کننده از طریق مسیر فیدبک منفی دو ولتاژ مرجع جدید می سازد که به ازای آنها این تفاوت جریان، در نقاط حساس به صفر می رسد.

با اعمال این ولتاژهای مرجع به بلوک فولدینگ اصلی، خطای ناشی از یکسان نبودن مشخصه ها جبران می شود.



شکل ۳-۱۹ مدار جبران خطای ناشی از یکسان نبودن مشخصه های NMOS و PMOS با جابجا کردن ولتاژهای مرجع

برای جبران خطای هر بلوک فولدینگ، به یک مدار جداگانه مطابق شکل ۳- ۱۹ نیاز داریم که اینکار مصرف توان و اشغال سطح اضافی نسبتاً زیادی به دنبال خواهد داشت.

همانگونه که در قسمت قبل اشاره شد، در بسیاری از مبدل های فولدینگ پیش از زوج های دیفرانسیل اصلی از پیش تقویت کننده استفاده می شود. پیش تقویت کننده ها معمولاً بصورت تقویت کننده تفاضلی با بار مقاومتی یا فعال طراحی می شوند[٤٨].

استفاده از پیش تقویت کننده مزایای قابل ملاحظه ای به دنبال خواهد داشت که از آن میان می توان به موارد زیر اشاره کرد:

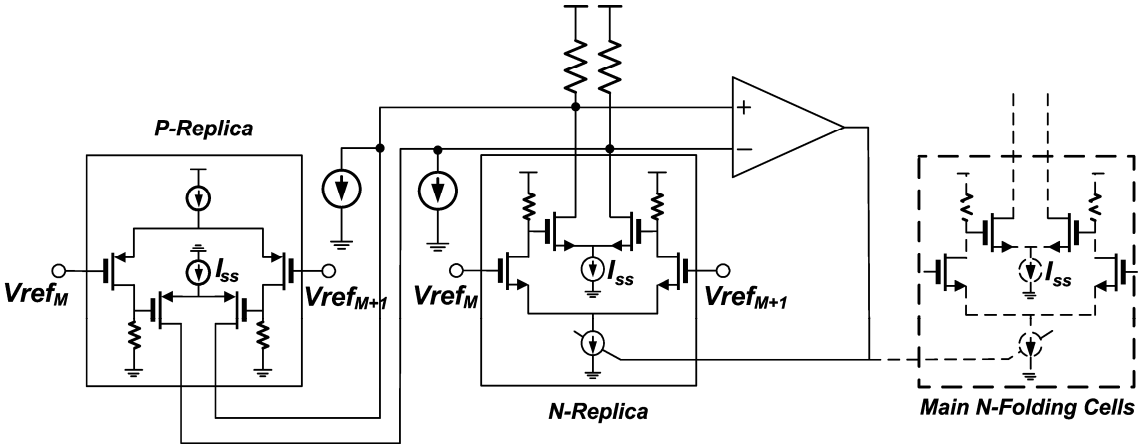
۱- تبدیل سیگنال یکطرفه ورودی به سیگنال تفاضلی. مزیت عمده این تبدیل این است که در حالتی که سیگنال اعمال شده به زوج های تفاضلی اصلی یکطرفه باشد، ولتاژ سورس مشترک این زوج ها همواره ثابت نخواهد بود و در بخشی از محدوده با سیگنال ورودی تغییر می کند. با توجه به اینکه امپدانس خروجی منبع جریان این گره مقدار محدودی دارد، تغییر ولتاژ این گره و متفاوت بودن مقدار آن در زوج های تفاضلی یک بلوک باعث ایجاد خطا در خروجی می گردد. با تفاضلی شدن سیگنال ورودی، ولتاژ سورس مشترک ثابت خواهد ماند.

۲- افزایش بهره کلی که می تواند به کاهش تاثیر خطای مقایسه کننده ها روی ورودی کمک کند.

۳- کاهش تاثیر افست ترانزیستورهای زوج های تفاضلی اصلی روی ورودی. با وجود پیش تقویت کننده ها این افست به بهره پیش تقویت کننده تقسیم می شود. اگر چه در کنار آن افست خود پیش تقویت کننده ها نیز در ورودی ظاهر می گردد ولی کوچک تر شدن ترانزیستورهای اصلی که خروجی همه آنها به یک نقطه وصل می شود از نظر بهبود رفتار زمانی ارزشمند است.

٤- چنانچه خروجی پیش تقویت کننده ها از طریق یک شبکه مقاومتی به یکدیگر متصل شود، به دلیل خاصیت معدل گیری از افست این شبکه، تاثیر افست ورودی پیش تقویت کننده و زوج های دیفرانسیل اصلی روی ورودی کاهش می یابد. که این مورد در فصل های بعدی با جزئیات بیشتر مورد بررسی قرار خواهد گرفت.

٦- وجود پیش تقویت کننده امکان بسیار مناسبی برای تنظیم مشخصه های NMOS و PMOS بوجود می آورد به این ترتیب که می توان به جای جابجا کردن محل ولتاژهای مرجع، میزان شیب (بهره) یک دسته از زوجهای تفاضلی (NMOS یا PMOS) را به گونه ای تغییر داد که مقدار جریان خروجی زوجهای تفاضلی NMOS و PMOS در نقاط بحرانی (عبور از صفر زیر محدوده مجاور) یکسان گردد. این کار با استفاده از مدار شکل (۳- ۲۰) انجام می شود.



شکل ۳-۲۰ مدار جبران خطای ناشی از یکسان نبودن مشخصه های NMOS و PMOS با تغییر بهره پیش تقویت کننده

در این مدار نیز دو تقویت کننده فولدینگ NMOS و PMOS بگونه ای بایاس شده اند که جریانهای خروجی هر یک برابر با مقدار جریان خروجی در نقاط حساس (عبور از صفر زیر محدوده مجاور) باشد. اختلاف جریان خروجی NMOS و PMOS توسط تقویت کننده عملیاتی حس شده و بهره یکی از پیش تقویت کننده ها (در شکل پیش تقویت کننده NMOS) از طریق تغییر جریان نقطه کار آن به گونه ای تغییر داده می شود که دو جریان خروجی برابر شوند. ولتاژ بایاسی که به این ترتیب برای منبع جریان پیش تقویت کننده NMOS بدست می آید، به تمامی پیش تقویت کننده های NMOS بلوک های فولدینگ اصلی اعمال می شود. به این ترتیب تنها یک مدار جبران کننده برای کل مدار کافی خواهد بود.

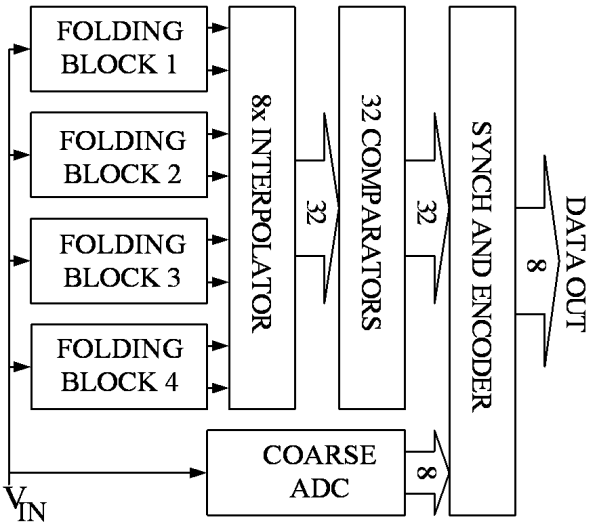
۳-۷ انتخاب جزئیات ساختار مبدل فولدینگ

از آنجا که هدف اصلی این پژوهش کاهش توان مصرفی و ولتاژ تغذیه از طریق ارائه یک روش جدید برای پیاده سازی ساختار فولدینگ است، جزئیات ساختار (ضریب فولدینگ، ضریب درون

یابی و تعداد طبقات) بگونه ای انتخاب می شود که بررسی روش ارائه شده با سهولت بیشتری انجام شود.

با توجه به دقت تفکیک ۸ بیت، تقسیم بندی ۳ بیت برای مبدل درشت گام و ۵ بیت برای مبدل فولدینگ منطقی است[٤٩][٥٠] به این ترتیب ضریب فولدینگ برابر ۸ بدست می آید که با در نظر گرفتن یک زوج تفاضلی اضافی در هر طرف، مقدار آن به ۱۰ می رسد و چنانچه بالانس dc با استفاده از زوج تفاضلی اضافی بخواهد تامین شود، ضریب فولدینگ نهایی ۱۱ خواهد شد. با انتخاب ۵ بیت برای مبدل فولدینگ ریز گام، باید ۳۲ سیگنال برای ورودی ۳۲ مقایسه کننده ساخته شود.

یک ساختار یک طبقه، متشکل از ٤ بلوک فولدینگ اصلی و ضریب درون یابی ۸ این ۳۲ سیگنال را می سازد به این ترتیب تعداد کل زوج های تفاضلی ٤٤ خواهد بود. شکل ۳- ۲۰ بلوک دیاگرام ساختار بکار رفته را نشان می دهد.

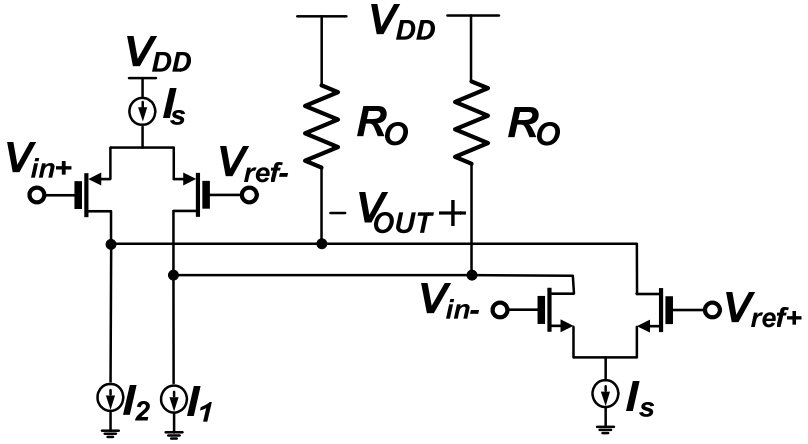


شکل ۳-۲۱ بلوک دیاگرام مبدل طراحی شده

ضمیمه – تلفیق روش ارائه شده برای افزایش محدوده ورودی با روش تفاضلی

اگرچه روش ارائه شده در این پژوهش روی سیگنال ورودی یک طرفه اعمال شده، امکان تلفیق آن با روش استفاده از ورودی دیفرانسیل وجود دارد که اینکار می تواند محدوده ورودی را تا دو برابر ولتاژ تغذیه افزایش دهد.

مشکل اصلی در استفاده همزمان از زوجهای NMOS و PMOS برای ورودی تفاضلی این است که هنگامی که Vin_+ و Vin_- معمولاً در دو ناحیه مختلف از محدوده ورودی قرار می گیرند و هر دو با ترانزیستورهای NMOS یا PMOS قابل دریافت نیستند. لذا استفاده از پیش تقویت کننده تفاضلی شکل (۳– ۱۵) در اینجا عملی نیست. ولی چنانچه از مدار شکل۳–۲۲ استفاده کنیم می توان از ورودی تفاضلی نیز استفاده کرد.



شکل ۳–۲۲ پیش تقویت کننده شبه تفاضلی با محدوده ورودی وسیع

همچنین می توان بجای پیش تقویت کننده، کل تقویت کننده فولدینگ را بصورت شبه تفاضلی طراحی کرد که البته اینکار توان مصرفی را نزدیک به دو برابر نسبت به حالت یکطرفه بالا می برد.

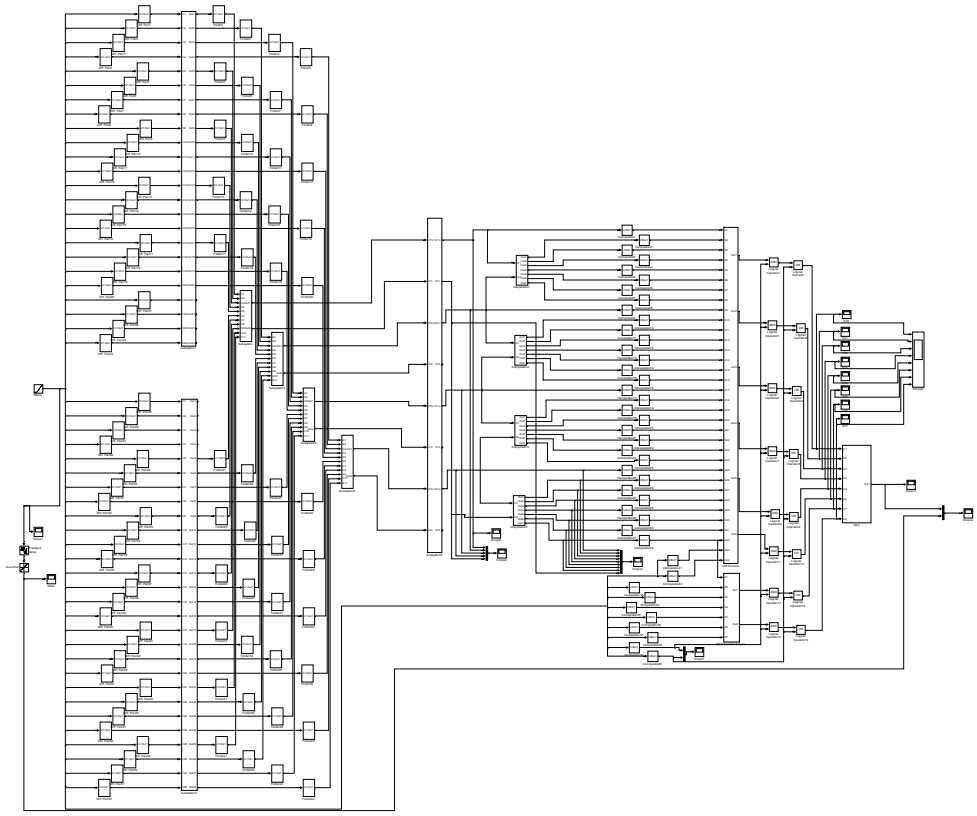
فصل٤ پیاده سازی سیستمی و مدل سازی رفتاری

در این فصل به بررسی عمکرد مبدل فولدینگ با مشخصات مورد نظر در سطح سیستم خواهیم پرداخت. مدل رفتاری مبدل در نرم افزار MATLAB SIMULINK پیاده شده و امکان بررسی تأثیر خطاهای مختلف روی عملکرد استاتیک و دینامیک آن در نظر گرفته شده است. همچنین این امکان ایجاد شده که در مواردی که مدل سیستمی به دقت بیانگر رفتار مدار نیست، نتایج شبیه سازی مداری به صورت جدول در مدل سیستمی وارد شده و نتایج دقیق تری از شبیه سازی سیستمی به دست آید. به این ترتیب مدل سیستمی به عنوان ابزاری که با ایده آل در نظر گرفتن و تقریب اجزایی که در

عملکرد نهایی تأثیر چندانی ندارند (به عنوان مثال مدارهای منطقی دیجیتال یا مبدل درشت گام[1]) بـه سرعت شبیه سازی می افزاید، در تمامی مراحل و پیاده سازی مورد استفاده قرار می گیرد.

٤-١ مدل رفتاری مبدل فولدینگ

با توجه به بلوک دیاگرام شکل ۳ –۲۱ مدل رفتاری کل مبدل به صورت مشـابهی کـه در شـکل ٤-١ دیده می شود، پیاده سازی شد.



شکل ٤-١ مدل رفتاری مبدل فولدینگ

در ابتدای مسیر سیگنال طبقه پیش تقویت کننده ها[2] قرار دارد که به دو گروه پیش تقویت کننده هـای NMOS و PMOS تقسیم می شوند.

[1]-Coarse ADC

[2] -Preamplefiers

سیگنال های خروجی هر گروه به طبقهٔ متوسط گیری[1] وارد می شوند که مدل کننـده ی رفتـار شـبکه مقاومتی متوسط گیر است.

خروجی طبقه متوسط گیری به چهار بلوک فولدینگ اصلی وارد مـی شـود کـه هـر یـک از ۱۱ زوج تفاضلی تشکیل شده اند و برآیند جریان این ۱۱ زوج تفاضلی را به یـک ولتـاژ خروجـی تبـدیل مـی کنند. چهار سیگنال خروجی بلوک های فولدینگ اصلی وارد طبقه درون یابی[2] می شوند که علاوه بـر ایجاد ۲۸ خروجی دیگر به عنوان یک طبقه متوسط گیر دوم عمل می کند.

۳۲ خروجی آنالوگ، وارد طبقه ی مقایسه کننده ها می گردد و ۳۲ سیگنال منطقی (یـک یـا صـفر) از آنها ساخته می شود. از سوی دیگر موازی با مبدل فولدینگ (ریزگام[3]) یک مبدل درشت گام دو بیـت MSB و MSB-1 را می سازد و این دو بیت توسط بیت MSB-2 در مبدل ریز گام تولیـد مـی شـود، همزمان[4] می گردند. به این ترتیب که مجموعه خروجی های دو مبدل وارد طبقه دکودر دیجیتـال مـی شوند و با ترکیب منطقی آنها ۸ بیت خروجی به اضافه سیگنال های دیجیتال سر ریز[5] و کف ریز[6] کـه نمایانگر خارج شدن سیگنال ورودی از محدوده مبدل است، تولید می شوند.

به منظور سهولت بررسی خروجی یک مبدل دیجیتال به آنالوگ ایـده آل در خروجـی در نظـر گرفتـه شده است که از ۸ بیت باینری، یک کد بین صفر تا ۲۵۵ و نیز یـک خروجـی در محـدوده ی ورودی می سازد.

---

[1] -Averaging Network

[2] -Interpolation Network

[3]- Fine ADC

[4] -Synchronized

[5] -Overflow

[6] -Underflow

نخستین کاربرد مدل رفتاری می تواند این باشد که با در نظر گرفتن یک مدل تقریبی و ساده (مشابه شکل های ۲-۱ آ) یا ب) برای زوج های دیفرانسیل و حذف تأثیر بلوک های فرعی مثل متوسط گیری، از عملکرد مبدل و به خصوص صحت ترکیب سیگنال های آنالوگ و دیجیتال اطمینان حاصل شود. در مرحله بعد مدل اجزاء سیستم با در نظر گرفتن رفتار مداری و جنبه های غیرایده آل دقیق تر شده تأثیر این خطاها روی خروجی بررسی می شود[۵۱]. در دنباله مدل های در نظر گرفته شده برای اجزاء سیستم می پردازیم و در موارد لازم، توضیحات بیشتری در مورد عملکرد برخی اجزاء ارائه خواهد شد.

٤-۱-۲ پیش تقویت کننده

همانگونه که اشاره شد، پیش تقویت کننده ها تقویت کننده های تفاضلی با بار مقاومتی (یا بار فعال) هستند. افست ورودی این تقویت کننده ها بر اساس سطح ترانزیستورهای ورودی و مشخصات تکنولوژی به صورت زیر محاسبه می شود:

$$V_{off} = \frac{(V_{GS} - V_{th})}{2}\left(\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{W/L}\right) - \Delta V_{th} \qquad (۱-٤)$$

در این رابطه R_D مقاومت خروجی و ΔV_{th} اختلاف ولتاژ آستانه دو ترانزیستور ورودی است که به صورت زیر محاسبه می شود:

$$\Delta V_{th} = \frac{A V_{th}(V_{GS} - V_{th})}{\sqrt{W.L}} \qquad (۲-٤)$$

AV_{th} (که همانگونه که در فصل ۳ اشاره شد متناسب با ضخامت لایه اکسید است) در تکنولوژی مورد استفاده (۰/۱۸ میکرون CMOS) حدوداً برابر ۵ میلی ولت.میکرون است [۵۲].

میزان نویز ورودی پیش تقویت کننده با صرف نظر کردن از نویز فلیکر[1] از رابطه زیر محاسبه می شود:

$$\overline{v_n^2} = 8kT\left(\frac{2}{3g_m} + \frac{1}{g_m^2 R_D}\right) \qquad (۳-٤)$$

این نویز به صورت حاصل ضرب مقدار ثابتی برابر انحراف معیار نویز در یک عدد تصادفی و جمع حاصلضرب با سیگنال ورودی مدل می گردد.

در نظر گرفتن رابطه ساده درجه ۲ بین ورودی و خروجی در عمل برای تکنولوژی مورداستفاده تقریب خوبی نیست و تابع تانژانت هیپربولیک این رابطه را دقیق تر مدل می کند . در مدل بکار رفته از شبیه سازی مداری یک تقویت کننده تفاضلی ساده با بار مقاومتی برای تشکیل جدول مشخصه ورودی– خروجی[2] استفاده شد تا در هر مرحله از طراحی که نسبت (W/L) ترانزیستورها یا نقطه کار پیش تقویت کننده تغییر می کند، با جایگزینی مشخصه جدید تأثیر آن روی عملکرد قابل بررسی باشد.

برای شبیه سازی رفتار دینامیک با فرض تک قطبی بودن پاسخ فرکانسی (صرف نظر کردن از صفر تابع تبدیل) تأثیر قطب خروجی به صورت یک تابع پایین گذر با فرکانس قطع:

$$\omega_L = \frac{1}{2\pi R_{out} C_{out}} \qquad (٤-٤)$$

مدل شد که در این رابطه:

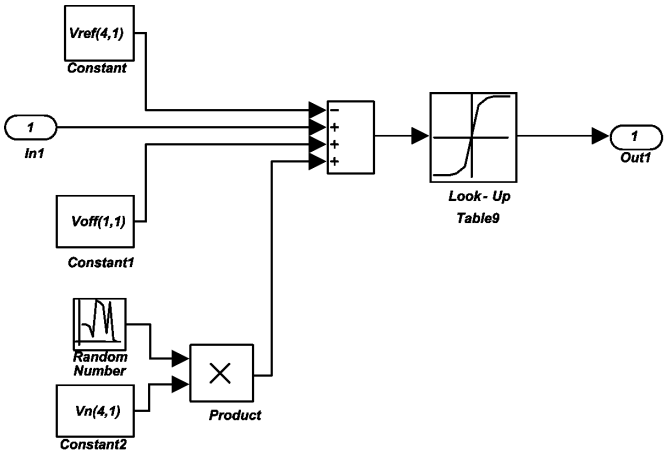
---

[1] -Fliker Noise

[2] -Input-Output Characteristic Curve

$$R_{out} = R_{out} \| r_O \tag{٥-٤}$$

و C_{out} مجموعه خازن های گروه خروجی است که عمدتاً شامل خازن گیت- سورس طبقه بعد (تقویت کننده فولدینگ) و خازن گیت – درین ترانزیستور ورودی با در نظر گرفتن اثر مسیر است. شکل ٤-٢ مدل رفتاری پیش تقویت کننده را نشان می دهد.



شکل ٤-٢ مدل رفتاری پیش تقویت کننده

٤-١-٣ تقویت کننده فولدینگ

در مدل رفتاری تقویت کننده فولدینگ، ولتاژ افست مربوط به این زوج تفاضلی و نیز تأثیر انحراف مقدار جریان منبع جریان زوج تفاضلی از مقدار ایده آل (که در واقع مقدار اشباع مشخصه را می سازد در نظر گرفته شده است. میزان خطای جریان از رابطه زیر قابل محاسبه است[٥٣].

$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4\sigma^2(V_{T0})}{(V_{GS}-V_{th})^2 W.L} + \frac{\sigma^2(\beta)}{\beta^2} \tag{٦-٤}$$

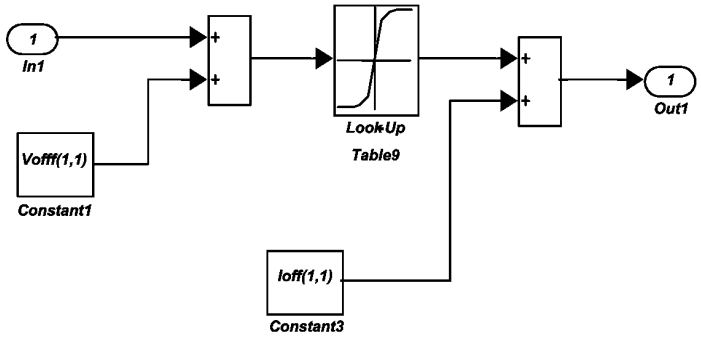
در این رابطهI_D جریان ایده آل منبع جریان زوج های تفاضلی(V_{GS}-V_{th}) اختلاف ولتاژ گیت سورس ترانزیستورهای اصلی این منابع جریان است و β ضریب جریان است:

$$\frac{\sigma^2(I_D)}{\beta^2} \approx \frac{A_\beta^2}{W.L} \tag{٧-٤}$$

با استفاده از رابطه (٤-٧) و رابطه (٤-٦) رابطه زیر برای میزان انحراف جریان ها به دست می آید.

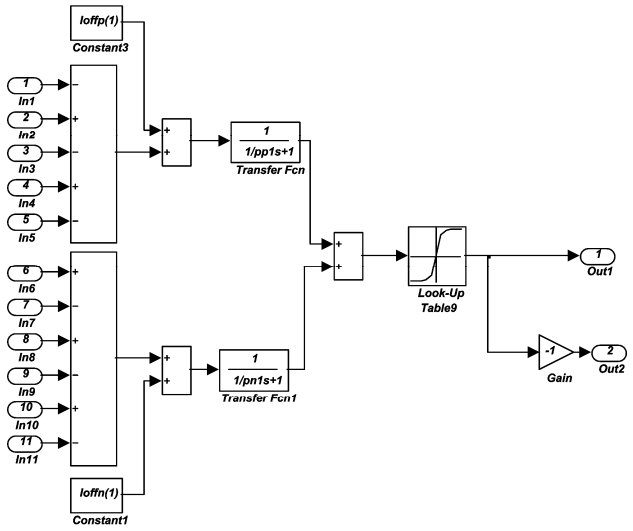
$$\frac{\sigma^2(I_D)}{I_D^2} = \frac{4AV_{th}}{(V_{GS}-V_{th})^2 W.L} + \frac{A_\beta^2}{W.L} \qquad (٨-٤)$$

مقدار A_β برای تکنولوژی ۰/۱۸ میکرون حدوداً ۱درصد.میکرون است [۲]. برای مدل کردن این خطا، جریان خروجی تقویت کننده فولدینگ در $(I_D+\sigma(I_D))/I_D$ ضرب می شود. شکل ٤-۳ مدل رفتاری تقویت کننده فولدینگ را نشان می دهد. مشابه پیش تقویت کننده ها، مشخصه ورودی – خروجی این زوج های تفاضلی با استفاده از شبیه سازی مداری به دست آمده و در مدل جایگزین شده اند.



شکل ٤-۳ مدل رفتاری تقویت کننده فولدینگ

جریان های خروجی تقویت کننده های فولدینگ در دو مرحله با یکدیگر جمع می شوند. در خروجی هر یک از این جمع کننده ها، یک تابع پایین گذر برای مدل کردن قطب گره های جمع کننده قرار داده شده است و نیز یک مقدار جریان افست ثابت برای مدل کردن خطای عدم تطابق منابع جریان ثابت در نظر گرفته شده است (شکل ٤-٤).



شکل ٤-٤ مدل گره خروجی بلوک های فولدینگ

٤-١-٤ شبکه متوسط گیری

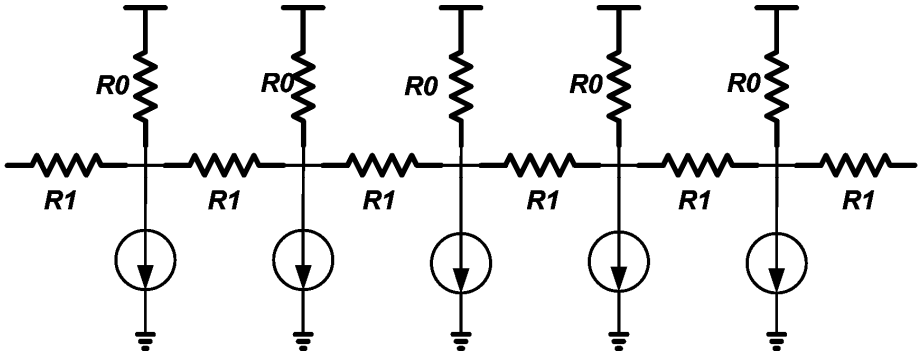
متصل کردن خروجی های پیش تقویت کننده به یکدیگر از طریق یک شبکه مقاومتی، یک فیلتر فضایی را تشکیل می دهد که خطای ناشی از افست تصادفی پیش تقویت کننده را تضعیف می نماید. در مورد اصول کار و مشخصه های روش متوسط گیری بررسی های زیادی انجام شده که از آن میان می توان به مراجع[٥٤] و[٥٥] اشاره کرد. لذا در اینجا به یک توضیح کیفی از منظری جدید به عملکرد متوسط گیری بسنده می کنیم.

عبور از صفر خروجی پیش تقویت کننده های ورودی حاوی اطلاعاتی درباره ورودی است که این اطلاعات توسط یک مقایسه کننده استخراج می شود. در عین حال برآیند خروجی های دو پیش تقویت کننده مجاور این پیش تقویت کننده در حالت ایده آل دقیقاً در همان نقطه عبور از صفر پیش تقویت کننده میانی، برابر صفر خواهد شد. به عبارت دیگر نوعی افزونی[1] اطلاعات در مجموعه سیگنال های خروجی پیش تقویت کننده ها نهفته است. میزان این افزونی اطلاعات، به همپوشانی

[1] -Redundancy

قسمت خطی پیش تقویت کننده ها بستگی دارد . اگر یکی از پیش تقویت کننده ها افست داشته باشد، محل عبور از صفر آن جابجا شده و در محل ایده آل خروجی آن صفر نخواهد شد ولی با فرض آنکه دو پیش تقویت کننده مجاور فاقد افست باشند، اطلاعات مربوط به برآیند خروجی آنها همچنان صحیح است. بنابراین اگر به وسیله متوسط مقداری را که سیگنال اصلی و برآیند سیگنال های دو طرف آن نشان می دهند در نظر بگیریم، خطاهای متمرکز را کاهش داده ایم و این کار به سادگی با استفاده از شبکه مقاومتی متوسط گیری امکان پذیر است. برای مدل کردن این شبکه با توجه به شکل (٤-٥) رفتار ورودی- خروجی آن را با استفاده از معادلات حالت به صورت زیر به دست می آوریم:

$$\begin{bmatrix} v_{i1} \\ v_{i2} \\ \vdots \\ v_{in} \end{bmatrix} = \begin{bmatrix} 1+\frac{2R_1}{R_0} & \frac{-R_1}{R_0} & 0 & \cdots & 0 & \frac{-R_1}{R_0} \\ \frac{-R_1}{R_0} & 1+\frac{2R_1}{R_0} & \frac{-R_1}{R_0} & 0 & \cdots & 0 \\ 0 & \frac{-R_1}{R_0} & 1+\frac{2R_1}{R_0} & \frac{-R_1}{R_0} & \cdots & 0 \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & 0 & \cdots & \frac{-2R_1}{R_0} & 1+\frac{2R_1}{R_0} & \frac{-2R_1}{R_0} \\ \frac{-2R_1}{R_0} & 0 & \cdots & 0 & \frac{-2R_1}{R_0} & 1+\frac{2R_1}{R_0} \end{bmatrix} \cdot \begin{bmatrix} v_{o1} \\ v_{o2} \\ \vdots \\ v_{on} \end{bmatrix} \quad (٩-٤)$$



شکل ٤-٥ شبکه متوسط گیری

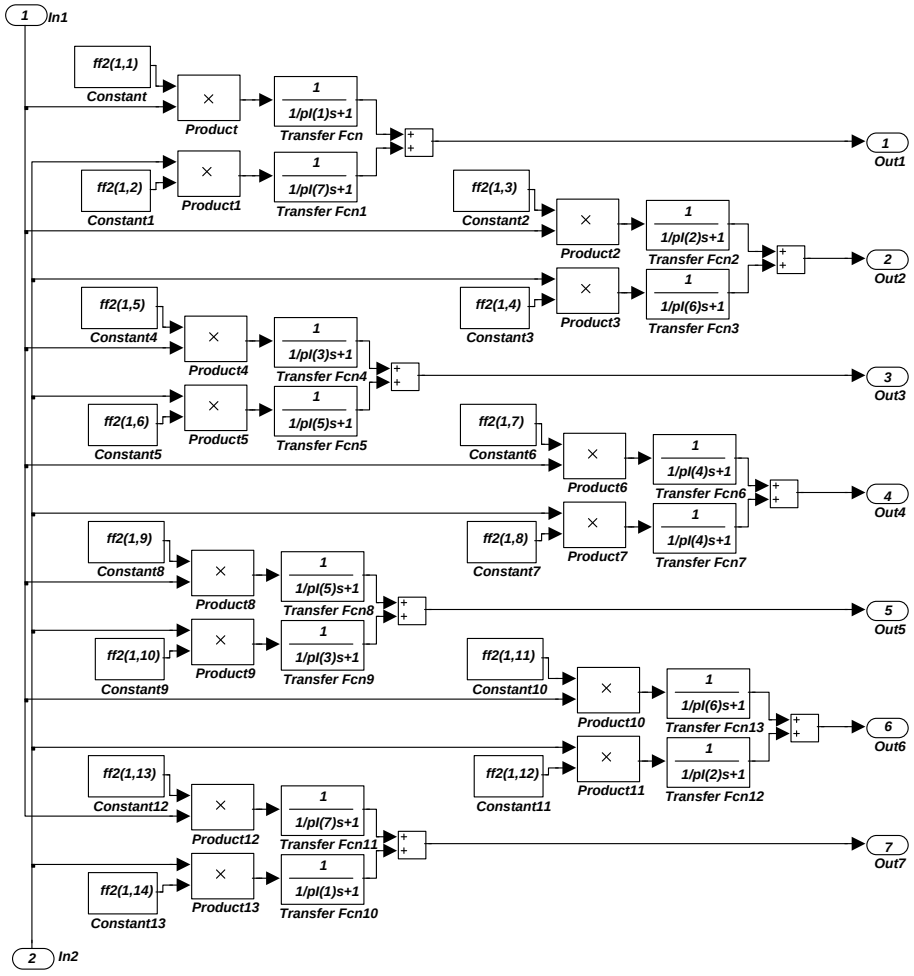
در مدل بکار رفته ابتدا مقادیر المان های ماتریس وارون B بر حسب نسبت R_1/R_0 محاسبه شده و خروجی های شبکه با ضرب این ماتریس در ورودی ها به دست می آید. لازم به ذکر است که به دلیل داشتن مقادیر dc متفاوت پیش تقویت کننده های PMOS و NMOS نمی توانند توسط شبکه به یکدیگر متصل شوند. از این رو در انتهای محدوده مربوط به پیش تقویت کننده های PM0S و نیز در ابتدای محدوده پیش تقویت کننده های NM0S جمعاً ۸ پیش تقویت کنندهٔ ساختگی[1] قرار می گیرد تا متوسط گیری در ناحیه وسط محدوده ایجاد خطا نکند.

٤-١-٥ شبکه درون یابی

شبکه مقاومتی درون یابی با ضریب ۸ را می توان به صورت ۷ بلوک در نظر گرفت که دو ورودی مشترک دارند و هر یک ضریب *i/8* از یک ورودی و *(8-i)/8* از ورودی دیگر را با هم جمع کرده و خروجی را می سازند. علاوه بر این کل این شبکه، عمل متوسط گیری را نیز انجام می دهد که این عملکرد می تواند مشابه شبکه متوسط گیری پیش تقویت کننده ها مدل شود.نکته ای که در رفتار دینامیک شبکه درون یابی می تواند ایجاد خطا کند، ثابت زمانی های متفاوت خروجی های مختلف

[1] -Dummy Preamplifier

است که در مدل با در نظر گرفتن توابع تبدیل پایین گذر با فرکانس قطع های مختلف در خروجی ها مدل می شوند. شکل (٤-٦) مدل رفتاری طبقهٔ درون یابی را نشان می دهد.



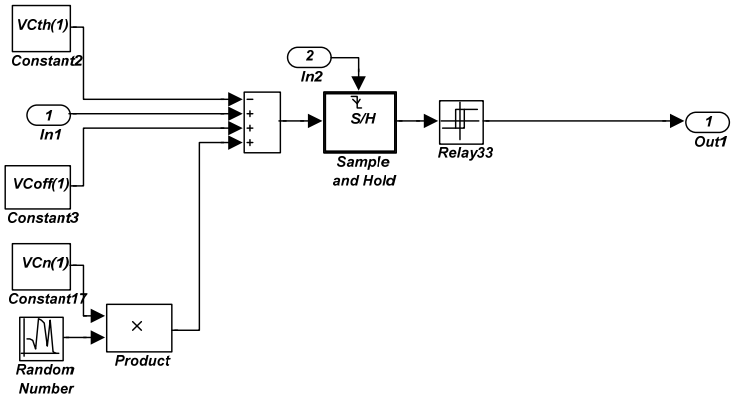
شکل ٤-٦ شبکه درون یابی

٤-١-٦ مقایسه کننده[1]

برای مدل ساده شده مقایسه کننده در ورودی یک مقایسه گر ایده‌آل، یک مدار نمونه برداری ایـده آل و در ورودی نمونه بردار جمع کننده ای در نظر گرفته شده است که مقدار آسـتانه غیـر صـفر (بـرای

[1] -Comparator

مقایسه کننده‌های مبدل درشت گام)، افست مقایسه کننده(مجموع افست استاتیک و دینامیک) و نویزکیک بک[1] را به صورت یک نویز تصادفی با ورودی جمع می کند. (شکل ٤-٧).



شکل ٤-٧ مدل رفتاری مقایسه کننده

٤-١-٧ مبدل درشت گام[2]

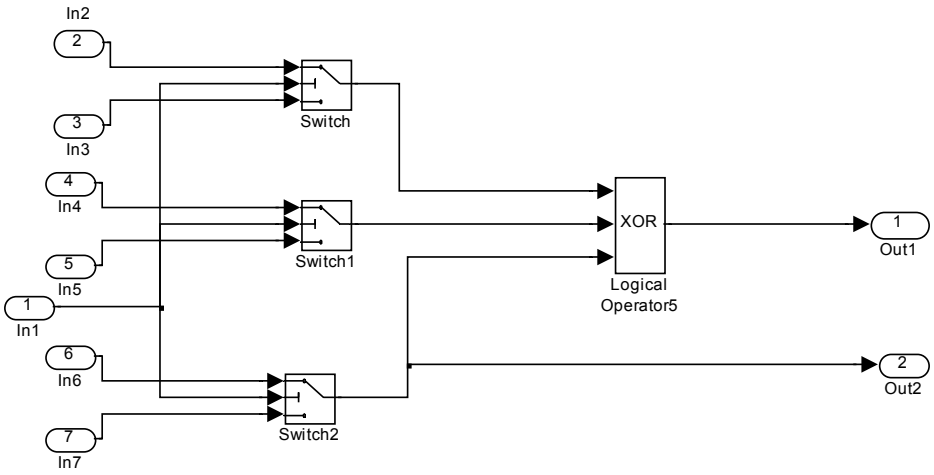
این مبدل از سه مقایسه کننده برای تشخیص یک چهارم های محدوده ورودی تشکیل می شود. در عمل برای همزمان کردن بیت های MSB و MSB-1 با سایر بیت ها که توسط مبدل فولدینگ ساخته می شوند، هر مقایسه کننده مبدل درشت گام با دو مقایسه کننده جایگزین می شود که آستانه مقایسه به اندازه Δ بالاتر از مقدار مقایسه ایده‌آل و آستانه دیگری به اندازه Δ پایین تر از آن قرار می گیرد. خروجی دو مقایسه کننده به یک سوئیچ دو به یک[3] می روند که فرمان آن به بیت MSB-2 وصل شده است. در گذر ورودی از یک چهارم محدوده، چنانچه روند ورودی افزایشی باشد با لبه بالا رونده بیت MSB-2 خروجی مقایسه کننده با آستانه‌ی پایین تر انتخاب می شود و در گذر از بالا به

[1]- Kick back

[2] -Coarse ADC

[3] -2 to 1 MUX

پایین محدوده، خروجی مقایسه کننده بالاتر با لبه پایین رونده بیت MSB-2 انتخاب می شود. به این ترتیب علاوه بر آنکه تغییر حالت های دو بیت بالا دقیقاً در زمان تغییر حالت بیت های پایین تر اتفاق می افتد، حاشیه اطمینانی به اندازه Δ برای جبران خطای افست هر یک از مقایسه کننده‌ها به وجود می آید. به طریق مشابه دو مقایسه کننده برای تعیین دقیق ابتدای محدوده و دو مقایسه کننده برای انتهای محدوده در نظر گرفته شدند که مجموع تعداد مقایسه کننده ها را به ۱۰ عدد می رسانند. خروجی مقایسه کننده‌های تشخیص دهنده بالا و پایین محدوده با تمامی بیت های خروجی به نحو مناسبی ترکیب می شوند تا به ازای ورودی های بزرگتر از محدوده همه بیت ها ۱ و به ازای ورودی های کوچکتر از ابتدای محدوده همه بیت ها صفر باشند. به این ترتیب اثر زیرمحدوده هایی که به منظور کاهش خطای درون یابی در دو انتهای محدوده اضافه شده‌اند در خروجی نهایی حذف می شود. شکل ٤-٨ بلوک دیاگرام مبدل درشت گام را نشان می دهد.



شکل ٤-٨ مدل مبدل درشت گام

٤-٢ شبیه سازی رفتاری و نتایج آن

بااستفاده مدل های تشریح شده و انتخاب مقدار مناسب برای اثرات غیرایده‌آل، رفتار مبدل فولدینگ ۸ بیتی در حالت های گوناگون به صورت استاتیک و دینامیک شبیه سازی شد. در دنباله گزیده‌ای از نتایج این شبیه سازی ها مورد بحث قرار می گیرد.

٤-٢-١ شبیه سازی رفتار استاتیک

منظور از رفتار استاتیک، میزان دقت خروجی مستقل از پاسخ فرکانسی مبدل می باشد. برای به دست آوردن این دقت، یک ورودی شیب به مبدل اعمال شده و خروجی پلکانی مبدل مورد بررسی قرار می گیرد. در صورتی که در خروجی کد گمشده[1] وجود نداشته باشد، از فاصله بین تغییر حالت های بیت LSB می توان خطاهای INL و DNL رااستخراج کرد.

٤-٢-١-١ تأثیر عملکرد مدار جبران روی خطای استاتیک خروجی

چنانچه مشخصه های پیش تقویت کننده های NMOS و PMOS به صورت مستقل از یکدیگر انتخاب شود، مشخصه فولدینگ به دست آمده مطابق شکل ٤-٩ دارای دو بخش متمایز از نظر شیب و دامنه خواهند بود که بخش اول شامل پنج زیر محدوده مربوط به زوج های تفاضلی PMOS و پنج زیر محدوده مربوط به زوج های NMOS است. همانگونه که در فصل سوم اشاره شد، این اختلاف شکل باعث ایجاد خطا در مرز دو محدوده خواهد شد. شکل ٤-١٠ خطای DNL وINL شبیه سازی شده با فرض ایده آل بودن همه اجزای دیگر را نشان می دهد. در بخش های دور از مرز بین دو

[1] -Missing Code

با استفاده از مدار مشخصه (که در همان شرایط به کار گرفته شده بود) بهره پیش تقویت کننده هایNMOS تنظیم شد. نتایج این شبیه سازی‌ها به صورت خلاصه در جدول ٤-١ دیده می شود.

جدول ٤-١ حداکثر خطای INL و DNL ذاتی در شرایط حدی

	V_{DD}	1.35V			1.5V			1.65V		
	Temp.	-40^{0}C	25^{0}C	125^{0}C	-40^{0}C	25^{0}C	125^{0}C	-40^{0}C	25^{0}C	125^{0}C
TT	DNLmax	0.25	0.14	0.08	0.16	0.11	0.08	0.16	0.11	0.1
	INLmax	0.38	0.21	0.2	0.24	0.2	0.19	0.24	0.2	0.25
SS	DNLmax	0.3	0.2	0.12	0.15	0.1	0.07	0.14	0.1	0.07
	INLmax	0.6	0.35	0.27	0.21	0.16	0.14	0.21	0.17	0.15
FF	DNLmax	0.18	0.12	0.16	0.18	0.12	0.2	0.18	0.12	0.12
	INLmax	0.27	0.26	0.25	0.28	0.26	0.4	0.28	0.25	0.5
FS	DNLmax	0.32	0.25	0.17	0.16	0.15	0.11	0.16	0.11	0.15
	INLmax	0.78	0.57	0.87	0.25	0.2	0.74	0.26	0.24	0.7
SF	DNLmax	0.17	0.11	0.08	0.16	0.11	0.08	0.16	0.11	0.08
	INLmax	0.35	0.57	0.16	0.24	0.18	0.15	0.23	0.18	0.15

با توجه به این جدول می توان نتیجه گرفت روش ارائه شده در اکثر حالات ممکن کارایی خود را حفظ می کند و فقط در حالتی که مشخصه های PMOS در گوشه کند قرار می گیرد و درجه حرارت بسیار پایین یا بسیار بالا باشد، خطای ذاتی بیشتر از LSB ۰/۵ خواهد شد.

٤-٢-١-٣ تأثیر عوامل مختلف خطا روی خطای استاتیک خروجی

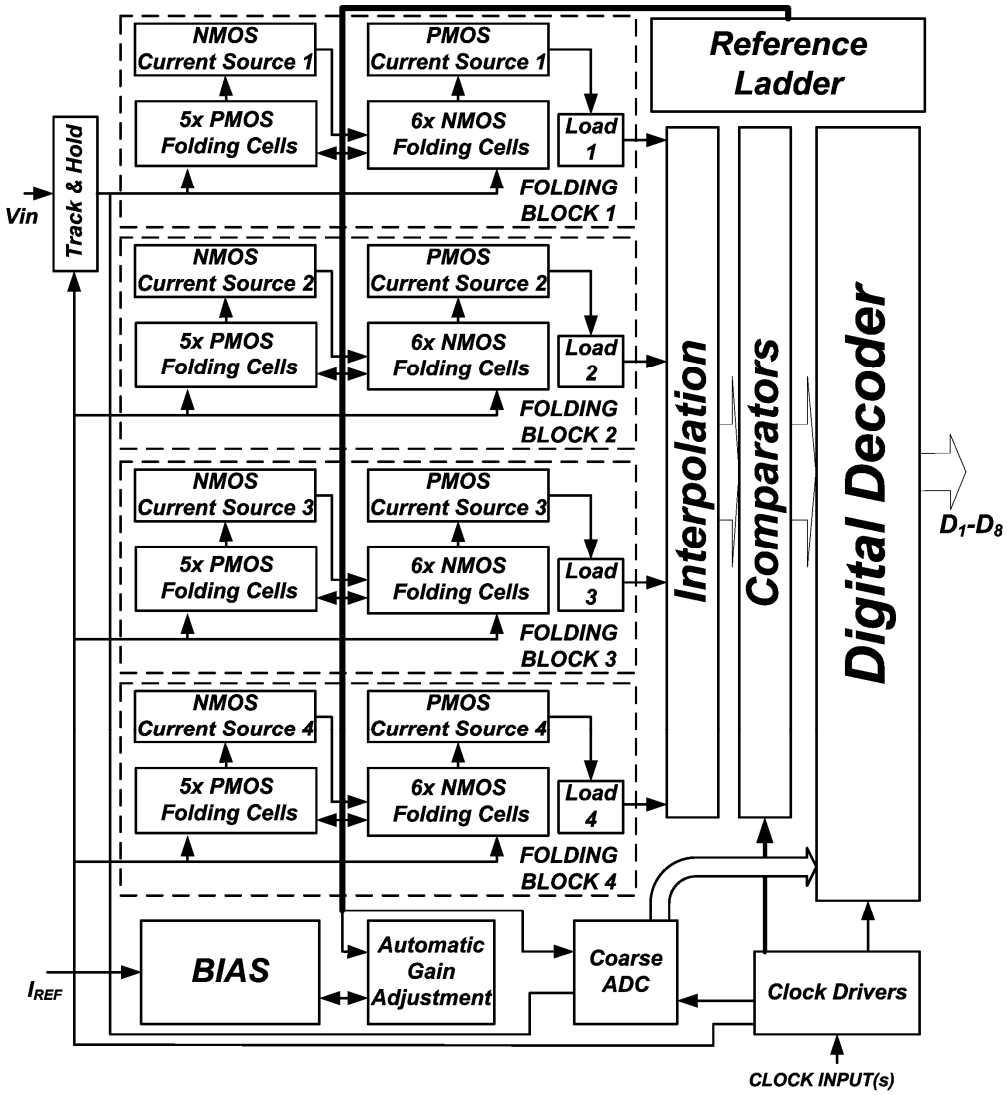
در مجموع عوامل خطای استاتیک را می توان به سه گروه تقسیم کرد:

فصل۵ طراحی مدار در سطح ترانزیستور

۵-۱ مقدمه

بر اساس مدل سازی سیستمی که در فصل ٤ جزئیات آن بررسی شد، مشخص گردید کـه اسـتفاده از مـدار نمونـه بـرداری در ورودی مبـدل الزامـی اسـت. همچنـین بـا توجـه بـه اسـتفاده همزمـان از ترانزیستورهای NMOS و PMOS مدار تنظیم برای یکسان کردن مشخصه ها نیز باید در نظـر گرفتـه شود. با توجه به این موارد، بلوک دیاگرام مبدل کامل بصورت شکل (۵-۱) درمی آید.

از دیگر نتایج شبیه سازی در سطح سیستم، نحوهٔ تقسیم خطای INL مجاز بین عوامل موثر در ایجـاد این خطاست. همچنین این شبیه سازی ها مشخص می کند نـویز ورودی نقـش تعیـین کننـده ای در عملکرد مبدل ندارد و در طراحی مدار می تواند در نظر گرفته نشود.



شکل ۵-۱ بلوک دیاگرام مبدل و مدارات جانبی

در این فصل به چگونگی طراحی بلوک های مختلف با جزئیات بیشتری می پردازیم.

۵-۲ مدار نمونه برداری[1]

۵-۲-۱ بررسی مدارهای نمونه برداری

وظیفه مدار نمونه برداری این است که در بخشی از پریود تبدیل سیگنال، سیگنال آنالوگ ورودی را دنبال کند و در بخش دیگر (با تغییر حالت پالس نمونه برداری) آخرین وضعیت ورودی را در این زمان ثابت نگاه دارد. این کار با مداری شامل یک سوئیچ و یک خازن قابل انجام است[۵۸]. در عمل مقاومت غیرصفر (و غیر خطی) سوئیچ و مسایل جانبی دیگر باعث می گردد تا چندین مدار ساده ای جوابگو نباشد. مسایل عمده ای که در طراحی مدار نمونه برداری مطرح می شود عبارتند از:

-پهنای باند محدود: در عمل مقاومت غیرصفر سوئیچ (سری با مقاومت منبع) با خازن نمونه برداری ثابت زمانی می سازند که باعث می شود در فاز دنبال گری[2]، خروجی ورودی را با تاخیر دنبال کند و اگر این ثابت زمانی از حدی بزرگتر باشد، در زمان شروع فاز نگهداری[3]، مقدار خروجی و ورودی با یکدیگر تفاوت خواهند داشت. چنانچه این ثابت زمانی به ازای مقادیر متفاوت ورودی ثابت باشد، تنها روی مولفه اصلی سیگنال ورودی اثر می گذارد و ایجاد اعوجاج نخواهد کرد ولی در عمل با توجه به اینکه مقاومت سوئیچ می تواند وابسته به ورودی باشد، مسئله پهنای باند محدود علاوه بر تضعیف دامنه، تولید هارمونیک های بالاتر را نیز دنبال خواهد داشت[۵۹].

-تزریق بار[4] : با توجه به اینکه در عمل از ترانزیستورهای MOS به عنوان سوئیچ استفاده می شود، در هنگام تغییر حالت سوئیچ از حالت بسته (روشن) به باز (خاموش) بخشی از بار ذخیره شده در کانال

---

[1] -Track and Hold

[2] - Track Phase

[3] - Hold Phase

[4] -Charge Injection

ترانزیستور سوئیچ به خازن خروجی منتقل می شود و در خروجی ایجاد خطا می کند. میزان این خطا نیز تابعی از ولتاژ ورودی است.

- نفوذ کلاک[1]: اعمال پالس نمونه برداری به کیت ترانزیستور سوئیچ باعث تغییر ولتاژ خروجی از طریق تقسیم خازنی بین خازن گیت – درین سوئیچ و خازن خروجی می گردد.

علاوه بر این مسائل، تاثیرات ناشی از جابجایی تصادفی محل لبه پالس نمونه برداری[2] [٦٠]و نیز نویز مقاومت سوئیچ نیز در ولتاژ خروجی ایجاد خطا می کنند.

برای برطرف کردن یا به حداقل رساندن خطاهای بالا راه های متعددی ارائه شده است که خلاصه برخی از آنها در جدول ٥-١ دیده می شود.

جدول ٥-١ منابع خطا و راه های کاهش آنها

منبع خطا	روش کاهش
پهنای باند محدود	کاهش مقاومت سوئیچ در حالت روشن[٦١] بوت استراپ[3] کردن ولتاژ گیت سوئیچ[٦٢]
تزریق بار	نمونه برداری با استفاده از صفحه زیرین[٦٣]، سوئیچ مجازی[٦٤]
نفوذ کلاک	استفاده از ساختارهای دیفرانسیل[٦٥]

در حالت کلی ساختارهای زیر برای مدار نمونه برداری می تواند در نظر گرفته شود:

١.ساختار حلقه باز ساده (بدون بافر)؛ در این ساختار مدار نمونه برداری شامل یک سوئیچ و مدارات جانبی برای خطی کردن و کاهش خطاهای دیگر است. خازن نمونه برداری در عمل می تواند خازن

[1] -Clock Feed-Through

[2] -Clock Jitter

[3] -Bootstrap

ورودی مدار مبدل (احیاناً موازی با خازن ثابت دیگر) باشد. مزیت عمده این ساختار توان تلفاتی ناچیز آن است ولی میزان خطی بودن آن محدود است.

۲.ساختار حلقه باز با استفاده از بافر در ورودی و خروجی: چنانچه مقدار خازن ورودی مبدل زیاد و یا غیرخطی باشد قراردادن یک بافر بین مدار نمونه برداری و مبدل می تواند تاثیر این خازن را روی عملکرد مدار نمونه برداری حذف کند و طراحی مدار نمونه برداری مستقل از خازن ورودی مبدل (با در نظر گرفتن خازن ورودی بافر) انجام گیرد. وظیفه بافر ورودی راندن مدار نمونه برداری و کاهش مقاومت منبع سری با مقاومت سوئیچ است. مشکلات طراحی مدار نمونه برداری در این ساختار به مراتب کمتر است ولی در عوض مسایل مربوط به طراحی بافرها و نیز توان مصرفی آن ها باید در نظر گرفته شوند.

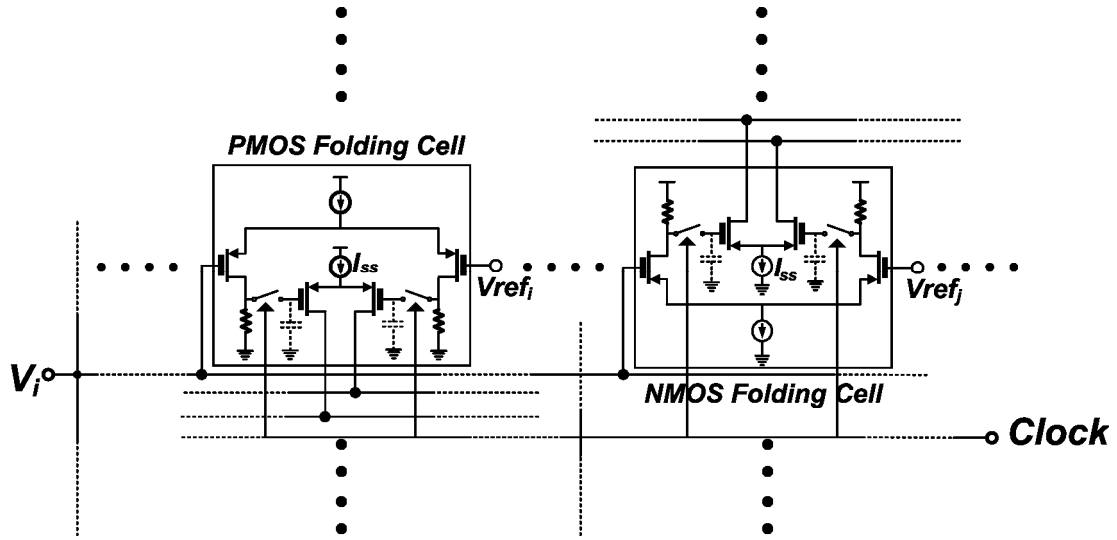
۳.ساختار حلقه بسته: در این ساختار وجود تقویت کننده عملیاتی در حلقه فیدبک میزان خطی بودن مدار نمونه برداری را تا حد زیادی افزایش می دهد ولی می‌توان انتظار داشت که سرعت نمونه برداری این ساختار چندان زیاد نباشد. در مجموع ساختارهای حلقه بسته برای درجه تفکیک های ۱۰ بیت و بالاتر و فرکانس‌های نمونه برداری چند ده مگا هرتز یا کمتر مناسب هستند[٦٦][٦٧]

٤. مدار نمونه برداری گسترده[1] : چنانچه مدار نمونه برداری را از ورودی مشترک پین تقویت کننده ها به خروجی آنها منتقل کنیم، به جای یک مدار پیچیده، نمونه‌برداری با ٤٤ مدار ساده (به تعداد پیش تقویت کننده ها) انجام خواهد شد.

در این روش عملاً بین خروجی های دیفرانسیل هر پیش تقویت کننده و ورودی‌های تقویت کننده فولدینگ مربوطه دو سوئیچ قرار می گیرد واز خازن ورودی تقویت کننده فولدینگ به عنوان خازن

[1] -Distributed Track and Hold

نمونه برداری استفاده می شود (شکل ۵-۲) از مزایای این روش می توان به دیفرانسیل بودن ساختار نمونه برداری که بسیاری از خطاهای مشترک را کاهش می دهد و نیز کاهش دامنه ورودی هر مدار نمونه برداری اشاره کرد[٦٨]. همچنین وجود پیش تقویت کننده باعث می شود تاثیر افست ناشی از تزریق بار و نفوذ کلاک، به میزان بهره پیش تقویت کننده کاهش یابد .



شکل ۵-۲ مدار نمونه برداری گسترده

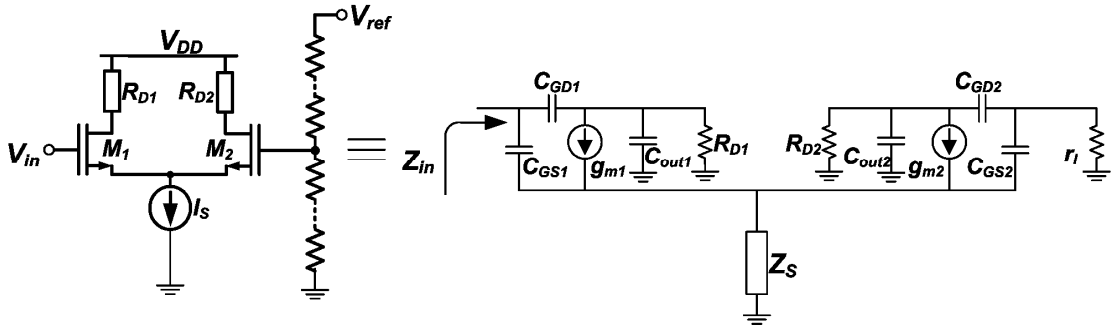
در مقابل ایراد عمده این روش نیاز به یک شبکه گسترده پالس های نمونه برداری است که باید به همه سلول های فولدینگ اعمال شود و این می تواند تداخل زیادی در کار قسمت های آنالوگ ایجاد کند. همچنین در مواردی که نمونه برداری در بیش از یک مسیر انجام می گیرد (مانند نمونه بردارهای یک در میان زمانی[1])، هر گونه عدم تقارن مسیرها می‌تواند باعث ایجاد اعوجاج گردد[٦٩].

یکی از عواملی که انتخاب ساختار مناسب اهمیت کلیدی دارد، مقدار و شکل خازن ورودی مبدل است لذا در دنباله خازن ورودی مبدل فولدینگ متداول و مبدل مورد طراحی را مورد بررسی قرار می دهیم.

[1] -Time Interleaved Track and Hold

۵-۲-۲ بررسی خازن ورودی مبدل فولدینگ

همانگونه که اشاره شد، ورودی مبدل فولدینگ متداول از تعدادی زوجهای دیفرانسیل که یک ورودی مشترک دارند تشکیل شده است. ورودی دیگر این زوجهای دیفرانسیل به سرهای مختلف یک نردبان مقاومتی وصل شده اند که می تواند با یک مقاومت و خازن معادل جایگزین شود (شکل ۵-۳) .



شکل ۵-۳ مدل سیگنال کوچک ورودی پیش تقویت کننده ها

چنانچه مقدار مقاومت معادل ورودی های مرجع تا زمین در مقابل امپدانس ورودی هر زوج ناچیز باشد و امپدانس خروجی منبع جریان زوج تفاضلی نیز بالا باشد، می توان امپدانس ورودی زوج دیفرانسیلی را خازنی خالص در نظر گرفت.

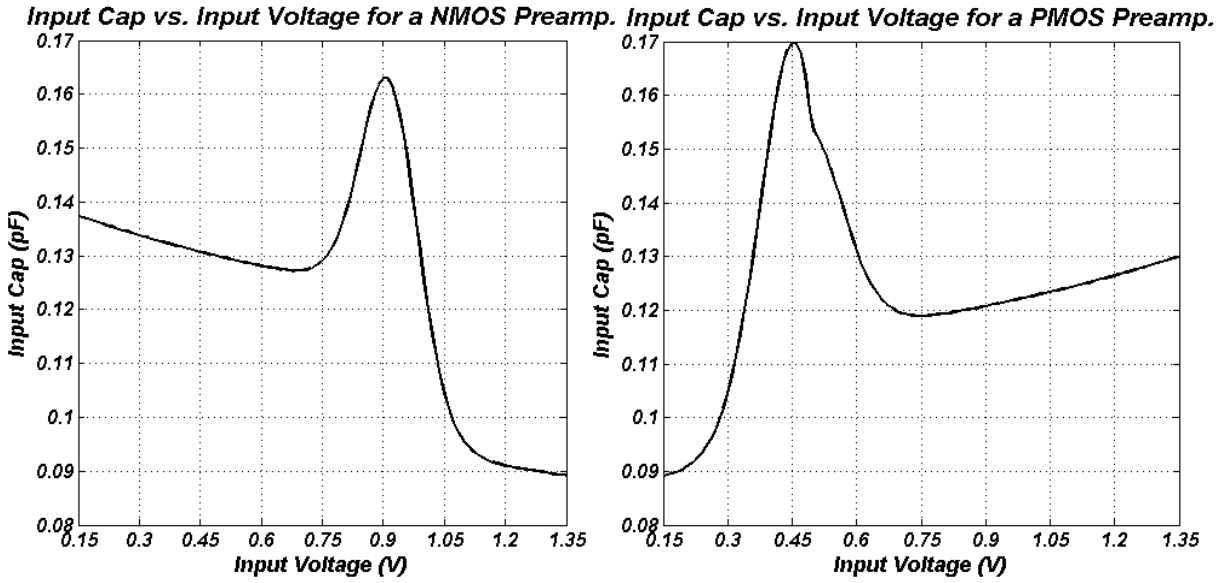
با استفاده از مدار معادل سیگنال کوچک و با صرف نظر کردن از امپدانس سورس مشترک (امپدانس خروجی منبع جریان) مقدار امپدانس ورودی بصورت زیر بدست می‌آید:

$$Z_{in} = \frac{1}{C_{GD1}.(1+g_m R_D)s} \left\| \left[\frac{1}{C_{GS1}s} + (1+\frac{g_{m1}}{C_{GS1}}) \frac{(\frac{1}{C_{GS2}s} + r_l)}{(1+\frac{g_{m2}}{C_{GS2}s})} \right] \right. \qquad (۱-۵)$$

با فرض $r_l << \frac{1}{C_{GS2}\omega_{\max}}$ و $\frac{(1+\frac{g_{m1}}{C_{GS1}.j\omega})}{(1+\frac{g_{m2}}{C_{GS2}.j\omega})} \approx 1$ رابطه ۵-۱ بصورت زیر خلاصه می شود:

$$Z_{in} \approx \frac{1}{C_{GD1}.(1+g_m R_D)s} \left\| \left[\frac{1}{C_{GS1}s}+\frac{1}{C_{GS2}s}\right] \right. \quad (۲-۵)$$

عملاً هر سه خازن تشکیل دهنده خازن ورودی با تغییر ولتاژ ورودی تغییر می کنند. به ازای ولتاژهای ورودی پایین، ترانزیستور M_1 قطع است و بهره آن صفر است. در این حالت خازن گیت – سورس این ترانزیستور مقدار $C_{GScutoff}$ را دارد در حالی که ترانزیستور M_2 در حالت اشباع (یا ترایود) قرار دارد و خازن گیت سورس آن مقدار C_{GSSat} را دارا است[۷۰]. در مجموع در این حالت خازن ورودی مقدار کمی خواهد داشت. با رسیدن ولتاژ ورودی به حوالی ولتاژ مرجع بهره ترانزیستور ورودی افزایش می یابد و خازن گیت – سورس آن نیز بزرگتر می شود. در حالتی که ولتاژ ورودی برابر ولتاژ مرجع است، ظرفیت هر دو شاخه خازنی به حداکثر می رسد و با زیاد شدن ورودی بار دیگر مقدار خازن کاهش می یابد. با استفاده از شبیه سازی مداری با نرم افزار HSPICE نیز می توان به نتیجه مشابهی (و دقیق تر) رسید. در شکل ۵-٤ نتیجه این شبیه سازی برای یک زوج دیفرانسیل NMOS و یک زوج دیفرانسیل PMOS دیده می شود.



آ ب

شکل ٥-٤ تغییرات خازن ورودی زوج دیفرانسیل با ولتاژ ورودی آ) PMOS ب) NMOS

با توجه به اینکه ولتاژهای مرجع زوجهای دیفرانسیل ورودی به صورت یکنواخت در محدوده ورودی پخش شده اند، تغییرات خازن ورودی کل با ولتاژ ورودی در یک فولدینگ تمام PMOS (یا تمام NMOS) حاصل جمع تعدادی منحنی مشابه شکل ٥-٤ آ (یا ب) است که نسبت به یکدیگر به اندازه فاصله دو ولتاژ مرجع متوالی جابجا شده اند. شکل ٥-٥ نتیجه شبیه سازی برای بدست آوردن خازن ورودی برای دو مبدل فرضی تمام NMOS و تمام PMOS را که محدوده ورودی مشابه مبدل ترکیبی مورد طراحی دارند، نشان می دهد.

با محدوده خروجی نزدیک به صفر تا تغذیه که بتواند خازنی در حدود ٦ پیکوفاراد را براند و زمان نشست[1] آن کمتر از ۳/۳ نانوثانیه باشد، مستلزم درنظر گرفتن توان مصرفی قابل ملاحظه‌ای است.

باتوجه به اینکه یکی از اهداف اصلی پایین نگاه داشتن توان مصرفی است، چنانچه بتوان با ساختار حلقه باز ساده و بدون بافر به نتیجه رسید، به این هدف نزدیک شده‌ایم.

مسئله عمده‌ای که در استفاده از یک سوئیچ و خازن ورودی مبدل به عنوان مجموعه نمونه برداری وجود دارد، غیرخطی بودن خازن نمونه برداری است. مسئله اصلی در استفاده از یک ترانزیستور MOS به عنوان سوئیچ، علاوه بر روشن نشدن ترانزیستور به ازای ورودی‌های نزدیک به تغذیه (یا زمین)، مقاومت وابسته به ولتاژ ورودی است.

همچنین میزان بار ذخیره شده در کانال نیز وابسته به مقدار ورودی است. روش‌های اصلی که برای بهبود رفتار سوئیچ MOS ارائه شده‌اند عبارتند از : استفاده همزمان از ترانزیستورهای NMOS و PMOS ، بالا بردن ولتاژ فرمان سوئیچ[2] و بالاخره ثابت نگاه داشتن ولتاژ گیت- سورس سوئیچ در حالت روشن با استفاده از تکنیک بوت استراپ[3].

در روش آخر با استفاده از یک مدار جانبی، در زمان‌های روشن بودن سوئیچ ولتاژی تقریباً برابر با ولتاژ تغذیه بین سورس ترانزیستور (= ورودی) و گیت آن قرار می‌گیرد. به این ترتیب علاوه بر آن که روشن شدن ترانزیستور به ازای تمام مقادیر ورودی (بین صفر تا V_{dd}) تضمین می‌شود، مقاومت سوئیچ تا جایی که تابع ولتاژ گیت- سورس است ثابت می‌ماند.

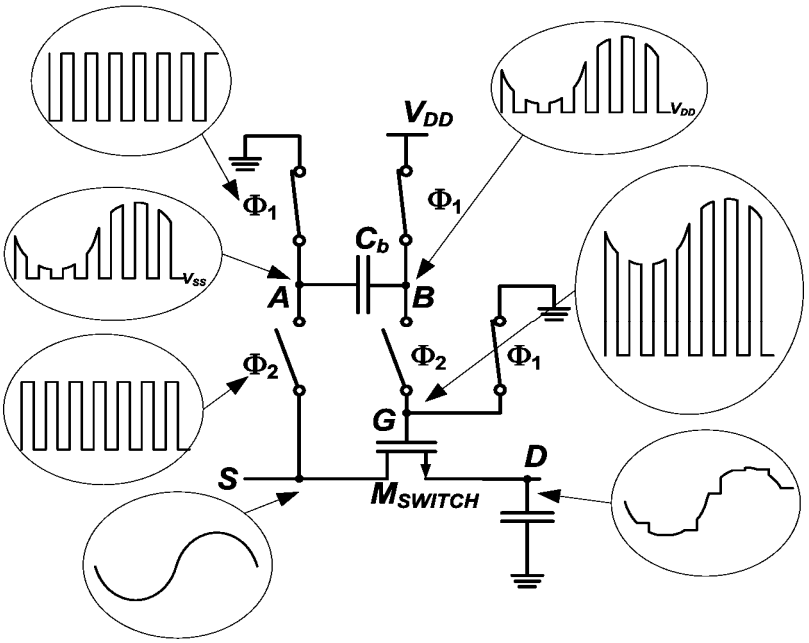
---

[1] -Settling Time

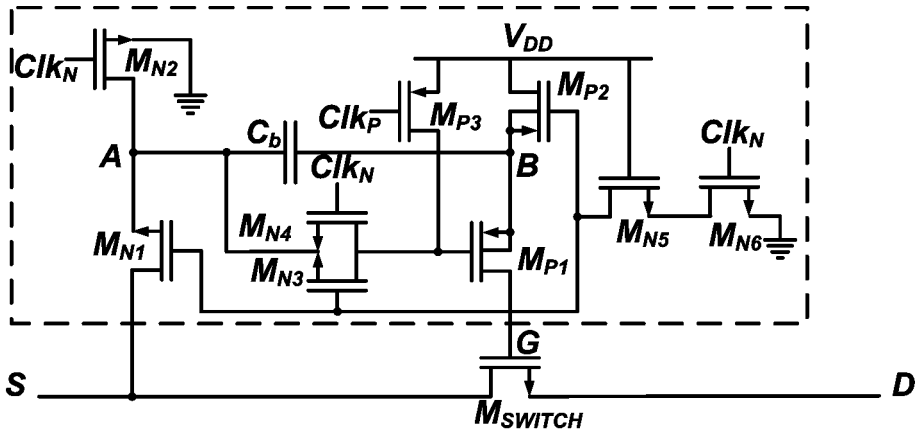
[2] -Clock Boosting

[3] -Bootstrap

همچنین میزان بار ذخیره شده در کانال سوئیچ مستقل از ورودی خواهد بود که به یک افست تقریباً ثابت منجر می‌گردد. شکل ۵-۷ اصول روش بوت استراپ را نشان می‌دهد و جزئیات مدار بوت استراپ استفاده شده در شکل ۵-۸ دیده می‌شوند[۷۱].



شکل ۵-۷ اصول روش بوت استراپ و شکل موج نقاط مختلف

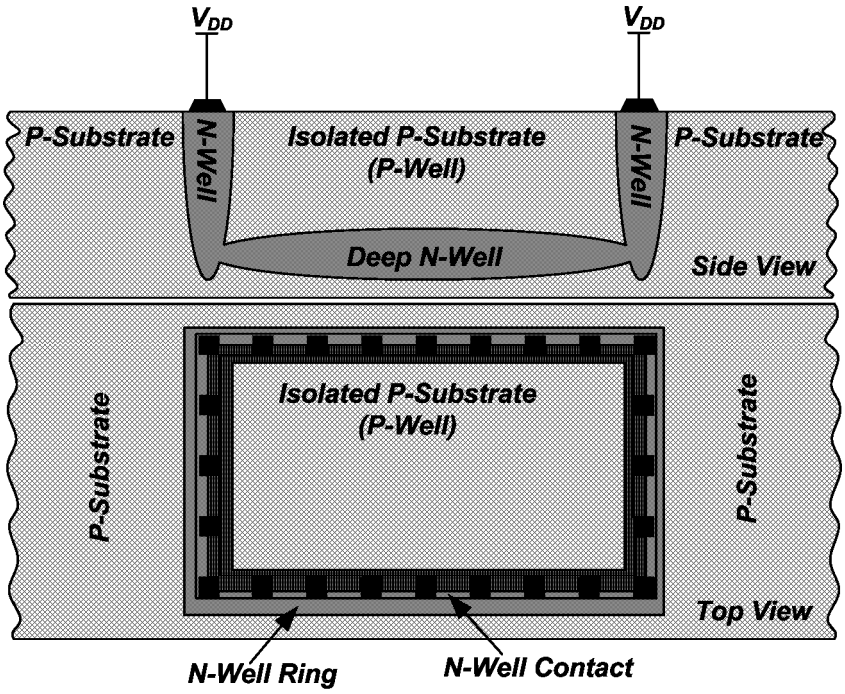


شکل ۵-۸ مدار بوت استراپ بکار رفته

در این مدار خازن C_b در فاز دنبال گری به ولتاژ V_{DD} شارژ شده و در فاز نگهداری یک سرآن به ورودی و سر دیگر به گیت ترانزیستور سوئیچ وصل می‌شود.

حتی با وجود ولتاژ گیت- سورس ثابت، از آنجا که بدنه سوئیچ NMOS به زمین وصل شده است، اثر بدنه[1] باعث می‌شود تا مقاومت سوئیچ به ولتاژ ورودی وابسته شود[۷۲] . در عمل این وابستگی حتی در حضور خازن ثابت ایجاد یک ثابت زمانی غیرخطی می‌کند که عامل بوجود آمدن هارمونیک‌های بالاتر در فرکانس‌های بالا می‌گردد.

در پروسه مورد استفاده این امکان فراهم شده است تا با استفاده از ایجادچاه N در عمق[2] ، بتوان قسمتی از فضای پایه را از فضای کلی پایه ایزوله کرد[۷۳] (شکل ۵-۹).



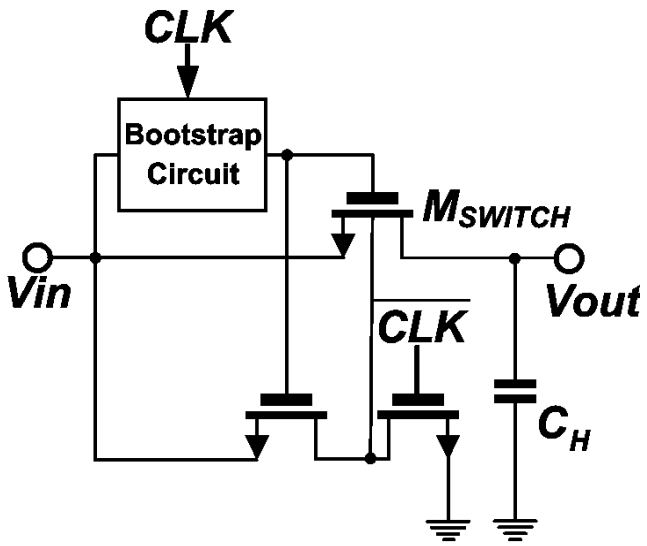
شکل ۵-۹ ساختن ترانزیستور NMOS با پایه ایزوله

به این ترتیب می‌توان ترانزیستور NMOS با بدنه غیز زمین ایجاد کرد. چنانچه ترانزیستور سوئیچ به این ترتیب ساخته شود و در زمان روشن بودن بدنه و سورس این ترانزیستور به یکدیگر وصل شوند، اثر بدنه حذف خواهد شدو مقاومت R_{on} سوئیچ کاملاً ثابت خواهد ماند. در فاز نگهداری بدنه باید به

[1] -Body Effect

[2] -Deep N-Well

زمین وصل شود تا از منفی شدن احتمالی ولتاژ بین سورس و بدنه جلوگیری شود. اینکار با استفاده از دو سوئیچ ترانزیستور مطابق شکل ۵-۱۰ انجام می‌گردد.



شکل ۵-۱۰ حذف اثر بدنه ترانزیستور سوئیچ

استفاده از خازن غیر خطی مبدل به عنوان خازن نمونه برداری باعث می‌شود که با وجود مقاومت ثابت سوئیچ، ثابت زمانی غیر خطی گردد. علاوه برآن، خطای ناشی از تزریق بار[1] و نفوذ کلاک[2]، هر دو به مقدار خازن خروجی بستگی دارند و چنانچه مقدار این خازن وابسته به ورودی باشد، این خطاها نیز بصورت غیر خطی وابسته به ورودی خواهند بود.

این غیرخطی بودن خطا به ایجاد اعوجاج و بخصوص هارمونیک دوم منجر خواهد شد. قابل ذکر است که چون سیگنال ورودی مبدل از نوع یکطرفه[3] است، برخلاف ساختارهای دیفرانسیل که هارمونیک دوم در آنها تا حد زیادی تضعیف می‌گردد. در اینجا هارمونیک دوم منشأ اصلی اعوجاج

[1] -Charge Injection

[2] -Clock Feed-through

[3] -Single-ended

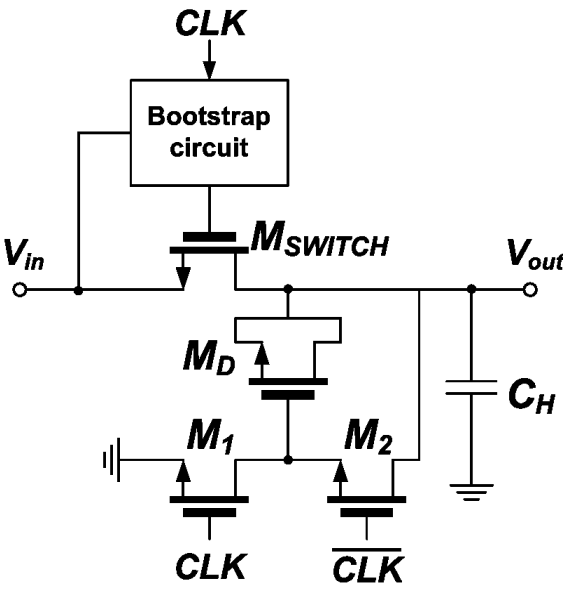
است. استفاده از سوئیچ مجازی[1] یکی از راههای متداول برای کاهش خطای ناشی از تزریق بار و نفوذ کلاک در مدارهای سوئیچ- خازن است. سوئیچ مجازی ترانزیستوری است با پهنای نصف پهنای سوئیچ اصلی که درین و سورس آن هر دو به خروجی سوئیچ اصلی وصل شده‌اند.

چنانچه در لحظه قطع شدن سوئیچ اصلی، سوئیچ مجازی روشن شود و تغییر ولتاژ گیت- سورس آن برابر و در خلاف جهت سوئیچ اصلی باشد بخش عمده‌ای از بار تزریق شده توسط سوئیچ اصلی جذب کانال سوئیچ مجازی می‌گردد و نفوذ کلاک سوئیچ اصلی نیز توسط نفوذ کلاک سوئیچ مجازی خنثی می‌شود.

با وجود مدار بوت استراپ در مسیر فرمان سوئیچ اصلی، در لحظه قطع شدن ولتاژ گیت این سوئیچ باید از $V_{in}+V_{DD}$ به صفر می رسد و ولتاژ سورس آن روی V_{in} ثابت می ماند. بنا بر این لازم است که ولتاژ گیت سوئیچ مجازی در این لحظه از صفر به $V_{in}+V_{DD}$ برسد و در طول زمان نگهدرای ثابت بماند.

یک روش برای استفاده از سوئیچ مجازی در حضور روش بوت استراپ در شکل ۵-۱۱ نشان داده شده است در این روش[۷٤] ولتاژ گیت سوئیچ مجازی در لحظه قطع شدن سوئیچ اصلی از صفر به $V_{out}(=V_{in})$ جهش می‌کند و به این ترتیب بخش وابسته به ولتاژ ورودی خطای نفوذ کلاک حذف می‌شود.

[1] -Dummy Switch

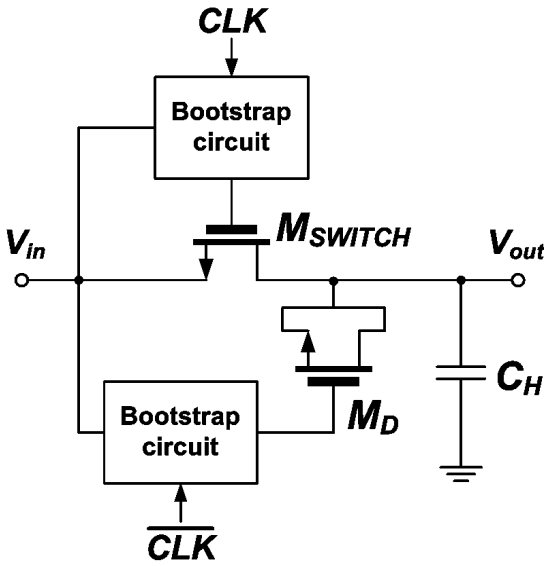


شکل ۵-۱۱ اتصال سوئیچ مجازی به خروجی

در عمل تقسیم بار بین خازن نگهداری و خازن‌های پارازیتیک M_1 و M_2 از دقت عمل این روش می‌کاهند.

از این گذشته این روش برای حالت‌هایی مناسب است که حداکثر دامنه ورودی (و خروجی) از V_{DD} به مقدار قابل ملاحظه‌ای پایین‌تر باشد در غیر این صورت ترانزیستور M_2 روشن نخواهد شد.

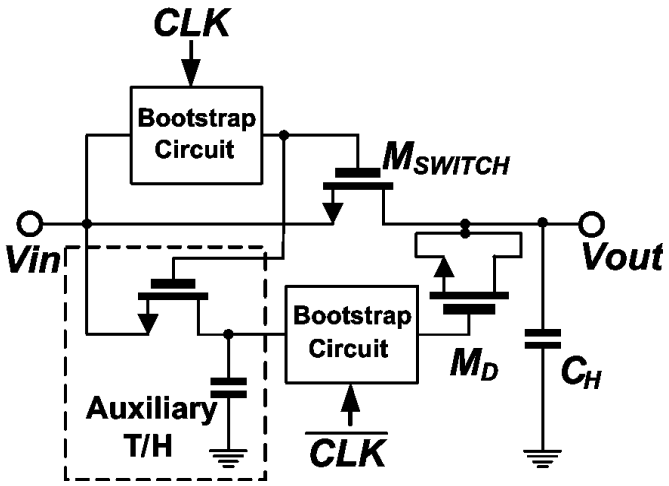
چنانچه ترانزیستور سوئیچ مجازی را نیز مشابه ترانزیستور سوئیچ اصلی با استفاده از مدار بوت استراپ دیگری که کلاک آن قرینه کلاک مدار بوت استراپ اصلی است روشن کنیم، تغییر ولتاژ گیت سوئیچ مجازی عیناً مشابه (و در خلاف جهت) سوئیچ اصلی خواهد بود[۷۵] (شکل ۵-۱۲). اما در اینصورت در فاز نگهداری گیت سوئیچ مجازی ورودی را دنبال می‌کند و این در عمل یک مسیر پارازیتیک قابل ملاحظه بین ورودی و خروجی مدار نمونه برداری ایجاد می‌کند که بخصوص در نمونه برداری سیگنال‌های ورودی فرکانس بالا دقت نمونه برداری را کاهش می‌دهد.



شکل ۵-۱۲ روشن کردن سوئیچ مجازی با مدار بوت استراپ قرینه مدار بوت استراپ اصلی

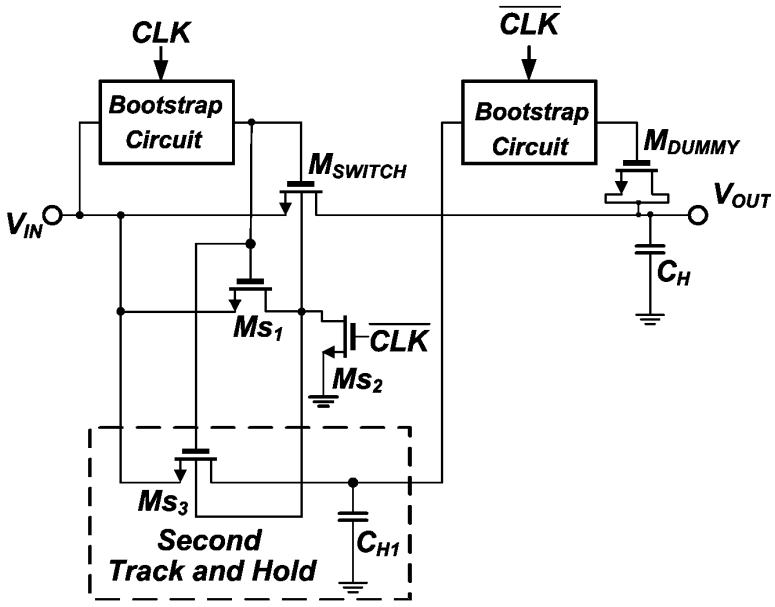
به منظور عملکرد بهینه سوئیچ مجازی،مدار بوت استراپ این سوئیچ باید بـه ولتـاژی برابـر بـا ولتـاژ نمونه برداری شدهٔ خروجی متصل باشد. از طرف دیگر اتصال مستقیم خروجی به ورودی مدار بـوت استراپ باعث انتقال بار بین خازن نمونه برداری و خازن مدار بوت استراپ مـی‌شـود و خـود منشـاء خطا خواهد شد. استفاده از بافر مسئله را حل می کند ولی به قیمت افزایش پیچیدگی و توان مصـرفی تمام خواهد شد.

راه ابداعی برای حل این مشکل، استفاده از یک مدار نمونه برداری کمکی مطـابق شـکل ۵-۱۳ اسـت که خروجی آن مشابه خروجی خواهد بود. با اعمال این خروجی به ورودی مدار بـوت اسـتراپ ایـن مدار از مسیر خروجی اصلی کاملاً ایزوله خواهدشد و ولتاژ گیت سوئیچ مجازی در لحظه قطع شـدن سوئیچ اصلی با جهش از صفر به $V_{in}+V_{DD}$ ، تاثیر نفوذ کلاک و تزریـق بـار سـوئیچ اصـلی را خنثـی می‌کند.



شکل ۵-۱۳ راه حل پیشنهادی برای تامین فرمان مناسب سوئیچ مجازی

مدار کامل نمونه برداری طراحی شده در شکل ۵-۱٤ دیده می‌شود.



شکل ۵-۱٤ مدار کامل نمونه برداری

به منظور اطمینان از کارآیی مدار طراحی شده، شبیه سازی‌هایی با ورودی dc (به منظور برآورد خطای استاتیک) و با ورودی‌های سینوسی با فرکانس‌های مختلف (به منظور عملکرد دینامیک) انجام شد. هر شبیه سازی برای چهار حالت زیر تکرار گردید:

قابل ذکر است که اثر ثابت زمانی غیر خطی در هارمونیک دوم و سوم بصورت مولفه‌ای با ضـریب ω ظاهر می‌شود که ω فرکانس سیگنال ورودی است[۷۶]. از سوی دیگـر، تغییـر ناگهـانی ولتـاژ آسـتانه درنتیجه سوئیچ کردن بدنه، باعث اضافه شدن یک مولفه ثابت به هارمونیک‌های دوم و سوم می‌گردد. درنتیجه می‌توان گفت در فرکانس‌های پایین استفاده از سـوئیچ بدنـه مجمـوع اعوجـاج هـارمونیکی[1] (THD) را افزایش می‌دهد در حالیکه در فرکانس‌های بالا باعث کاهش THD می‌شود. با قرار گـرفتن خازن غیرخطی مبدل به جای خازن نمونه برداری، هارمونیـک‌هـای دوم و سـوم مشـابه شـکل ۵-۱۹ خواهند شد.

اعوجاج ناشی از خازن غیرخطی در حالت کلی دارای دو مولفه است، یک مولفه ناشی از خطای نفوذ کلاک و تزریق بار متناسب با ورودی است که مستقل از فرکانس ورودی خواهد بود و دیگری ناشـی از غیرخطی شدن ثابت زمانی سوئیچ خازن است که متناسب بافرکانس ورودی خواهد بود.

شکل تغییرات دامنه هارمونیک دوم برای حالت ۱ (بدون سوئیچ مجازی و سوئیچ بدنه) نشان می‌دهـد که در فرکانس‌های پایین مولفه ناشی از از خطاها غالب است در حالیکه در فرکـانس‌هـای بـالا ثابـت زمانی غیرخطی تعیین کننده دامنه هارمونیک دوم می‌باشد. برای حالت ۲ شـکل تغییـرات هارمونیـک دوم مشابه حالت ۱ است ولی به دلیل ثابت شدن مقاومت سوئیچ، فرکانس گوشه (فرکانسی که در آن تاثیر دو مولفهٔ هارمونیک دوم برابر می‌شود) به فرکانس‌های بالاتر منتقل می‌شود.

[1] -Total Harmonic Distortion

با مقایسه هارمونیک سوم مربوط به چهار حالت با هامورنیک سوم ناشی از یک شبکه RC با مقاومت ثابت و خازن غیرخطی (مشابه خازن نمونه برداری)، نشان می‌دهد که حتی در فرکانس‌های پایین، خازن غیرخطی عامل اصلی ایجادهارمونیک سوم است و همانگونه انتظار می‌رود هیچ یک از روش‌های استفاده شده باعث خطی‌ترشدن خازن نمونه برداری نمی‌شوند.

درمجموع می‌توان گفت مدار نمونه برداری طراحی شده با مصرف توان ناچیز، خطای استاتیک کمتر از LSB ۰/۱ و هارمونیک‌های دوم و سوم حدود ٦۰- دسی بل در فرکانس نایکویست خواهد داشت که برای یک مبدل ۸ بیتی، کاملاً کافی است.

۵-۳ پیش تقویت کننده[1]

همانگونه که در بخش‌های قبل اشاره شد، پیش تقویت کننده‌ها زوج‌های تفاضلی با بار مقاومتی هستند. علت انتخاب بارهای مقاومتی این است که بتوان ولتاژ مشترک خروجی‌ها را نزدیک به تغذیه (در مورد پیش تقویت کننده‌های NMOS) و نزدیک به زمین (در مورد پیش تقویت کننده‌های PMOS) قرار داد. استفاده از بارهای فعال بصورت اتصال دیودی، ولتاژ مشترک خروجی را حداقل به اندازه ولتاژ آستانه پایین‌تر (بالاتر) از تغذیه (زمین) قرار خواهد داد و استفاده از بارهای فعال بصورت منبع جریان، به فیدبک مشترک نیاز دارد که باعث پیچیده شدن طراحی پیش تقویت کننده می‌گردد.

علاوه بر این در حالت کلی برای داشتن تطابق بیشتر در مورد مقاومت‌های بار باید سطح آنها را افزایش داد و اینکار خازن پارازتیک گره مربوطه را افزایش می‌دهد. باتوجه به مقادیر ارائه شده توسط

[1] -Preamplifier

سازنده[۷۷] مشخص می‌شود که با مقاومت‌های پالی خالص[1] تطابق کافی بین دو مقاومت با درنظر گرفتن یک سطح معقول و با خازن پارازتیک نسبتاً کم می‌تواند ایجاد شود:

$$W = 2\mu,\ L = 20\mu \Rightarrow \frac{\Delta R}{R} = 0.2\% \qquad (۳-۵)$$

از آنجا که اختلاف ولتاژ آستانه ترانزیستورهای ورودی پیش تقویت کننده از عوامل اصلی تعیین کننده افست ورودی است سطح این ترانزیستورها نسبتاً بزرگ در نظر گرفته می‌شود.

طول کانال این ترانزیستورها از طول حداقل (۰/۱۸ میکرون) بیشتر در نظر گرفته می‌شود تا اولاً خازن‌های همپوشانی (که با پهنای کانال متناسب هستند) زیاد از حد بزرگ نشوند و نیز کوچک شدن مقاومت خروجی ترانزیستور بهره را کاهش ندهد.

در تعیین جریان منبع جریان، باید تعادلی بین عوامل مختلف ایجاد نمود. از یک طرف افزایش جریان در حالت کلی بهبود پاسخ فرکانسی را به دنبال خواهد داشت ولی از طرف دیگر در مورد پیش تقویت کننده‌هایی که نزدیک به مرز بین دو زیر محدوده قرار می‌گیرند، ($V_{ref} \approx 0.7^{v}$) فضای ولتاژی[2] کمی برای منبع جریان پیش تقویت کننده وجود دارد و هرچه جریان بیشتر باشد، ترانزیستورهای منبع جریان به سمت ناحیه ترایود حرکت می‌کنند که این باعث افت مقاومت خروجی آنها و درنتیجه تفاوت جریان پیش تقویت کننده‌های مجاور خواهد شد که درنهایت به تغییر بهره بلوک‌های فولدینگ و خطای متوسط گیری منجر می‌شود.

همچنین اگر بتوان با پایین نگاه داشتن جریان (و افزایش نسبت W/L ترانزیستورهای ورودی) کاری کرد که ترانزیستورهای ورودی در وارونگی ضعیف[3] کار کنند، تغییرات خازن ورودی آنها کمتر

---

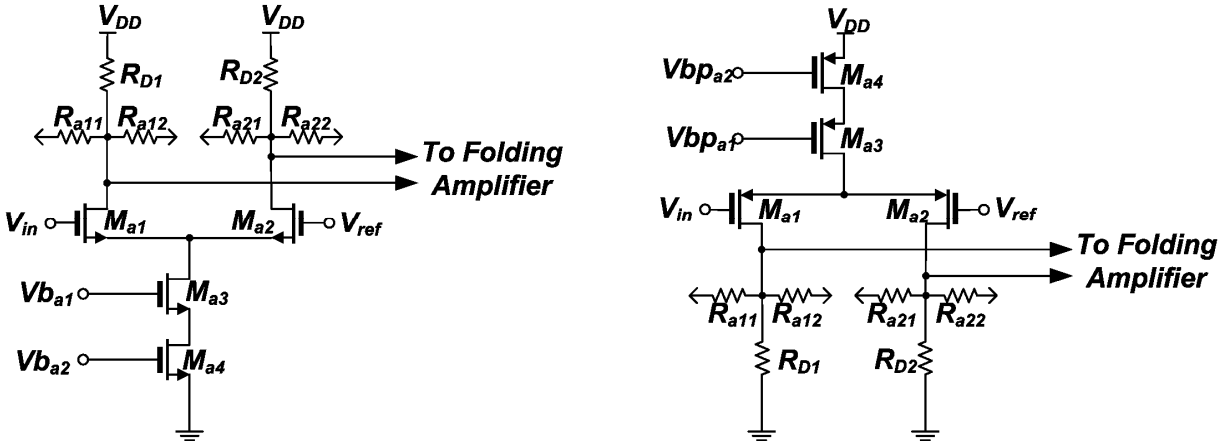
[1] -Unsilicide Poly Resistor

[2] -Headroom

[3] -Weak Inversion

خواهد بود زیرا خازن گیت سورس در این وضعیت، با تغییر جریان ترانزیستور تغییر چندانی نمی‌کند.

برای آنکه تطابق بین جریان منبع پیش تقویت کننده‌های همنوع یکسان باشد، باید ترانزیستورهای سازنده این جریان‌ها سطح کافی داشته باشند و از طرف دیگر برای جلوگیری از افزایش خازن گره سورس مشترک و نیز افزایش امپدانس خروجی منبع جریان، یک ترانزیستور نسبتاً کوچک سری با ترانزیستور تعیین کننده جریان قرار می‌گیرد تا تشکیل یک منبع جریان کسکود دهد. شکل ۵-۲۰ مدار پیش تقویت کننده را نشان می‌دهد.



آ ب

شکل ۵-۲۰ آ) پیش تقویت کنندهPMOS ب) پیش تقویت کننده NMOS

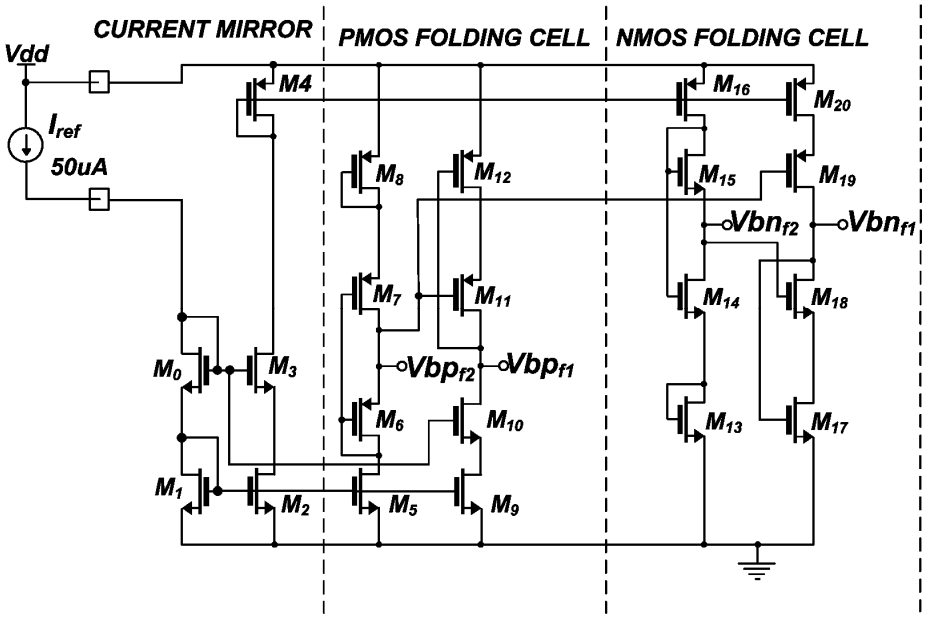
۵-٤ تقویت کننده فولدینگ[1]

در طراحی تقویت کننده‌های فولدرینگ، تطابق منابع جریان از اهمیت بیشتری برخوردار است لذا سطح در نظر گرفته شده برای ترانزیستورهای تعیین کننده مقدار جریان به مراتب بیشتر است و این

[1] -Folding Amplifier

منابع نیز بصورت کسکود[1] طراحی شده‌اند. برای آنکه جریان‌های تقویت کننده‌های NMOS و PMOS با دقت کافی با هم برابر باشند، از مداری مطابق شکل ۵-۲۱ برای ایجاد بایاس ترانزیستورهای منبع جریان استفاده شد.

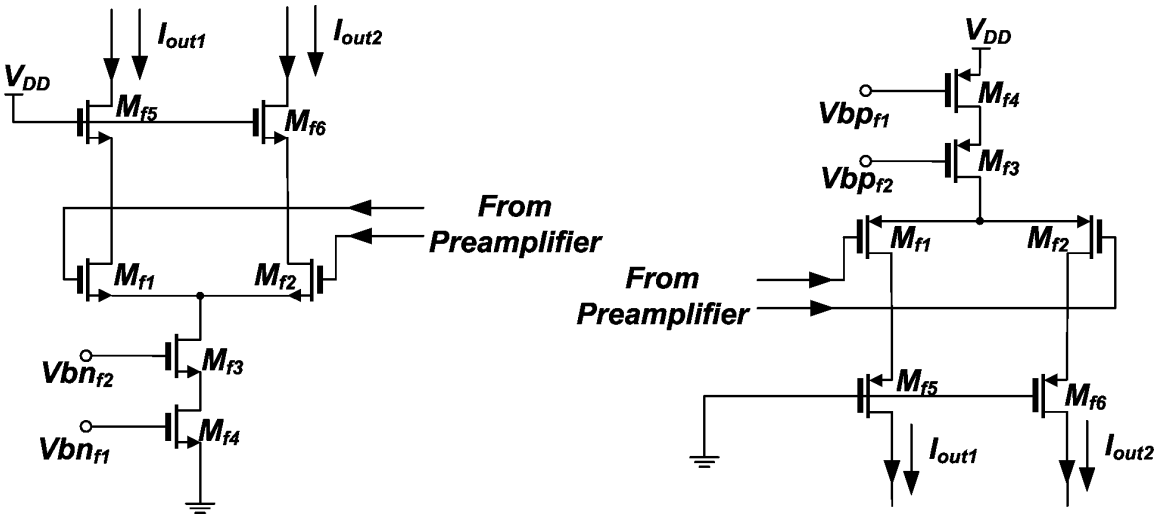
با توجه به بهره پیش تقویت کننده(۳ ≈) و اثر متوسط گیری، تطابق ترانزیستورهای ورودی تقویت کننده فولدینگ از نقطه نظر تولید افست از اهمیت کمتری نسبت به پیش تقویت کننده‌ها برخوردار هستند و می‌توان آنها را کوچکتر در نظر گرفت.



شکل ۵-۲۱ مدار بایاس منابع جریان NMOS و PMOS

از آنجا که جریان تعدادی از این ترانزیستورها باید در یک گره با یکدیگر جمع شوند، برای جلوگیری از افزایش بار خازنی این گره می‌توان از ترانزیستورهای کسکود در خروجی تقویت کننده‌های فولدینگ استفاده کرد[۷۸]. شکل ۵-۲۲ مدار تقویت کننده‌های فولدینگ را نشان می‌دهد.

[1] -Cascode Current Source



شکل ۵-۲۲ تقویت کننده های فولدینگ NMOS و PMOS

۵-۵ منابع جریان ثابت

همانگونه که در فصل ۳ اشاره شد، پس از جمع کردن جریان‌های خروجی تقویت کننده‌های فولدینگ PMOS، برای آنکه جریان نتیجه با برآیند جریان‌های خروجی NMOS جمع شود، باید با استفاده از ساختاری شبیه کسکود تاشده[1] جهت جریان را تغییر داد. کم کردن جریان خروجی از یک مقدار ثابت می‌تواند در عین حال مقدرا جریان مشترک دو خروجی را تغییر دهد.

باتوجه به اینکه تعداد سلولهای فولدینگPMOS در هر بلوک ۵ و مقدار جریان منبع جریان هر یک ۵۰ میکرو آمپر در نظر گرفته شده است، هر یک از جریان‌های منتجهٔ خروجی بین ۱۰۰ تا ۱۵۰ میکروآمپر تغییر می‌کند.

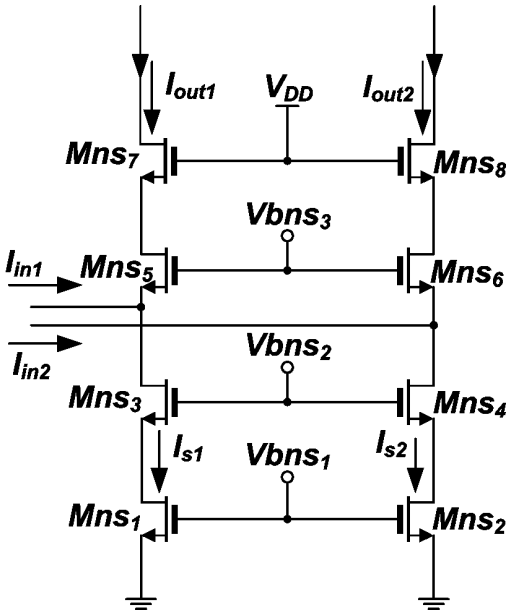
چنانچه مقدار جریان منابع جریان ثابت پایین را برابر ۱۰۰ میکروآمپر انتخاب کنیم، جریان شاخه‌های خروجی بین صفر تا ۵۰ میکروآمپر تغییر می‌کنند.باتوجه به فاصله ولتاژی بین گره جمع کننده

[1] -Folded Cascode

جریان‌های NMOS و PMOS این امکان وجود دارد که با استفاده از یک یا دو ترانزیستور کسکود، این دو گره را از یکدیگر ایزوله کرد. شکل ۵-۲۳ مدار معکوس کننده جریان و ایزوله کننده دو گره را از یکدیگر نشان می‌دهد.

در این حالت قطب مربوط به گره جمع کننده جریان‌های خروجی PMOS توسط ترانس کندوکتانس ترانزیستورهای M_5 و M_6 تعیین می‌شود و هرچه جریان مشترک شاخه‌های خروجی بیشتر باشد مقدار g_m این ترانزیستورهای بزرگتر و درنتیجه قطب گره‌ها دورتر از مبدأ قرار خواهند گرفت. با انتخاب حدود ۲۲۵ میکروآمپر برای منابع جریان پایین، جریان شاخه‌های خروجی بین ۷۵ تا ۱۲۵ میکروآمپر تغییر می‌کنند و مقدار جریان مشترک آنها ۱۰۰ میکرو آمپر خواهد بود که با این مقدار گره جمع کننده پایین در حدود ٤۰۰ مگاهرتز محاسبه می‌شود.

به همین ترتیب هنگامی که جریان‌های خروجی زیر بلوک PMOS با جریان‌های خروجی ۵ سلول فولدینگ NMOS (و یک سلول اضافی با ورودی‌های ثابت) ترکیب می‌شوند، جریان‌هایی با مقدار مشترک ۲۵۰ میکروآمپر ساخته می‌شود.

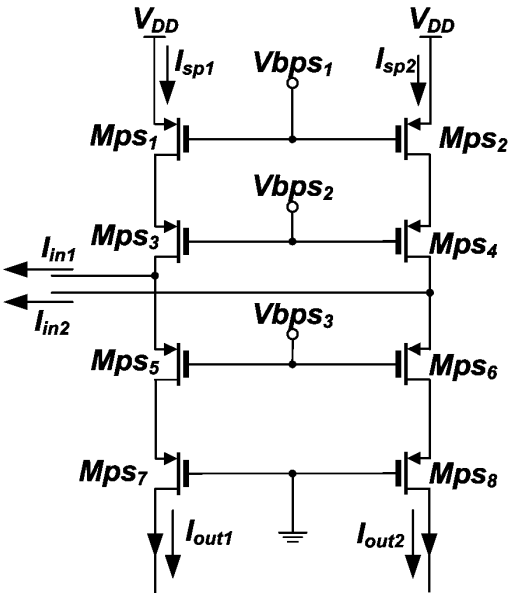


شکل ۵-۲۳ مدار معکوس کننده جریان منتجهٔ سلول های PMOS و ایزوله کننده دو گرهٔ جمع کننده

با استفاده از وارون مدار شکل ۵-۲۳ که در شکل ۵-۲٤ نمایش داده شده است، علاوه بر ایجاد فضای ولتاژ کافی برای بارهای خروجی، امکان ایزوله کردن پاسخ فرکانسی گره‌های جمع کننده بالا از گره‌های خروجی بدست می‌آید.

با انتخاب مقدار ۳۲۵ میکروآمپر برای جریان منابع PMOS، جریان شاخه‌های خروجی برابر ۷۵±۲۵میکروآمپر بدست می‌آید.

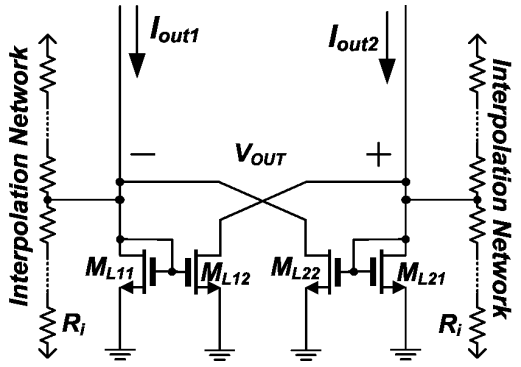
از آنجا که هرگونه عدم تطابق بین منابع جریان ثابت پایین (NMOS) و بالا (PMOS) باعث بوجود آمدن یک افست جریان ثابت و جابجا شدن محل‌های عبور از صفر می‌گردد، اندازه W و L ترانزیستورهای تعیین کننده جریان این منابع باید به اندازه کافی بزرگ درنظر گرفته شود. این افزایش سطح بهتر است حتی الامکان با افزایش طول انجام گیرد تا هم مقاومت خروجی ترانزیستورها افزایش یابد و هم خازن‌های همپوشانی (بخصوص خازن درین – گیت) زیاد بزرگ نشوند.



شکل ۵-۲٤ مدار معکوس کننده جریان منتجهٔ نهایی و ایزوله کننده گرهٔ جمع کننده NMOS از گرهٔ خروجی

۵-۶ بارهای خروجی و شبکه درون یابی

در مورد بارهای خروجی وجود فضای ولتاژی کافی امکان استفاده از بارهای فعال بصورت اتصال دیودی را امکان پذیر می‌سازد. چنانچه از چهار ترانزیستور مطابق شکل ۵-۲۵ برای بارهای خروجی استفاده کنیم، می‌توان با بهره گیری از فیدبک مثبت مقدار امپدانس دیفرانسیل را تا حد زیادی بالا برد[۷۹].



شکل ۵-۲۵ بارهای خروجی با فیدبک مثبت

قابل ذکر است که در این ساختار بار فعال، امپدانس تفاضلی و مشترک دو مقدار متفاوت دارند:

$$R_{in_{Diff}} \approx \frac{1}{g_{m1,2} - g_{m3,4}}$$
$$R_{in_{Com}} \approx \frac{1}{g_{m1,2} + g_{m3,4}} \qquad (۴-۵)$$

از آنجا که مقاومت‌های شبکه درون یابی بین خروجی‌های بلوک‌های چهارگانه قرار می‌گیرند. در عمل مقدار مقاومت خروجی دیفرانسیل برابر $R_{in_{Diff}} \| 8.R_I$ می‌گردد و چون در افزایش مقاومت R_I (به دلیل ثابت زمانی خروجی دیفرانسیل که از ورودی مقایسه‌گرها دیده می‌شود) با محدودیت مواجه هستیم، در عمل مقاومت‌های شبکه درون یابی هستند که مقاومت خروجی دیفرانسیل را تعیین می‌کنند.

از طرف دیگر همانگونه که اشاره شد شبکه درون یابی در عین حال به عنوان شبکه متوسط گیری نیز عمل می‌کند و از این جنبه نسبت R_1 به امپدانس مشترک خروجی است که تعیین کننده ضریب تصحیح خطا خواهد بود. کم بودن مقاومت خروجی مشترک این امکان را پدید می‌آورد که با مقدار R_1نه چندان بزرگ، به نسبت دلخواه دست یابیم.

اینکه مقاومت خروجی بیشتر توسط مقاومت‌های درون یابی تعیین شوند، یک مزیت دیگر را نیز دنبال خواهد داشت. اگر خطای ولتاژ خروجی تفاضلی را نسبت به تطابق ترانزیستورهای M_1 تا M_4 بررسی کنیم، به رابطه تقریبی زیر خواهیم رسید:

$$\sigma_{\Delta V}^2 = \frac{1+a}{(1-a)^2} \cdot \frac{A_{Vth}}{WL} \qquad (۵-۵)$$

که در این رابطه a نسبت عرض ترانزیستورهای فیدبک مثبت به عرض ترانزیستورهای اتصال دیودی (معمولاً در حدود ۰/۹)است. همانگونه که در این رابطه مشخص است، تطابق مقاومت‌های خروجی در حالت تفاضلی به شدت به تطابق ترانزیستورها وابسته است و برای داشتن تطابق کافی، سطح ترانزیستورها باید بسیار بزرگ در نظر گرفته شود.

به عنوان مثال برای داشتن خطای INL کمتراز ۰/۲۵ LSB به ازای عدم تطابق مقاومت‌های خروجی، مقدار حداکثر خطای ولتاژ خروجی در حدود ٦ میلی ولت بدست می‌آید و سطح ترانزیستورها برای داشتن عدم تطابق کمتر از این مقداردر حدود ۱۰۰۰ میکرون مربع محاسبه می‌شود که باعث ایجاد خازن‌های بزرگی در گره خروجی و کندی پاسخ زمانی آن خواهد شد.

در حالی که اگر مقاومت‌های درون یابی تعیین کننده مقاومت خروجی باشند، این میزان عدم تطابق با در نظرگرفتن سطحی برابر۱۰ میکرون مربع برای هر مقاومت درون یابی به سادگی قابل دستیابی خواهد بود.

۵-۷ مدار تنظیم مشخصه پیش تقویت کننده‌های NMOS و PMOS

همانگونه که در فصل ۳ توضیح داده شد، مدار تنظیم مشخصه پیش کننده‌ها از یک سلول فولدینگ NMOS و یک سلول PMOS و یک تقویت کننده عملیاتی تشکیل شده و وظیفه آن یکسان کردن مشخصه دو سلول در انتهای قسمت خطی (در محل عبور از صفر سلول مجاور) است.

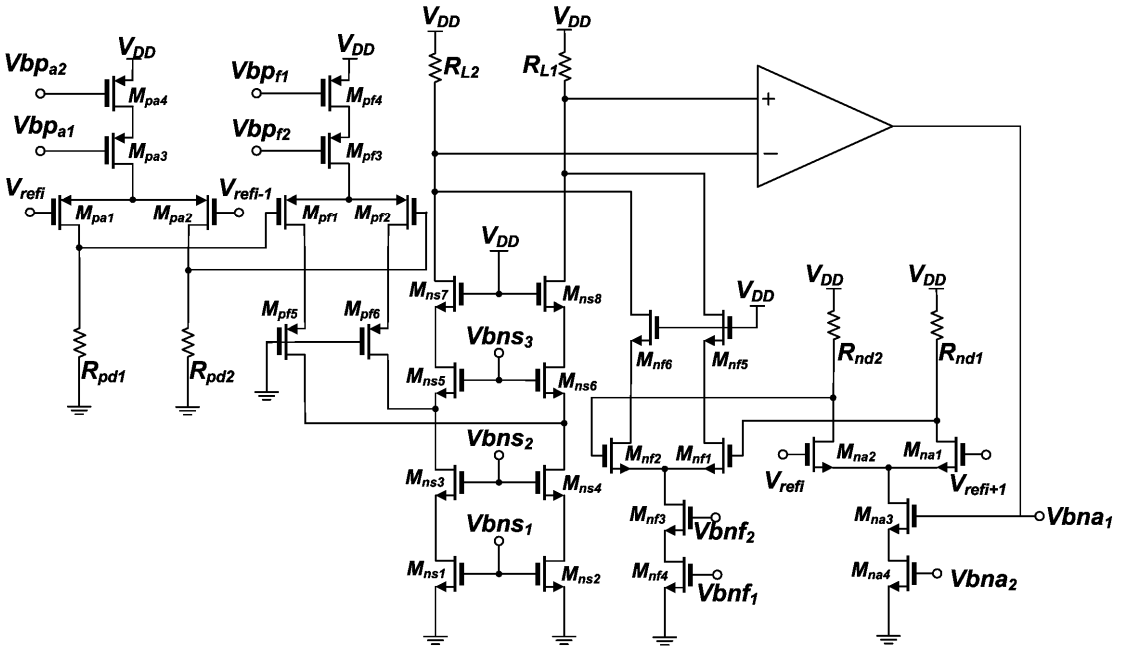
در عمل علاوه بر موارد فوق، دو منبع جریان ثابت مشابه شکل ۵-۲۳ به منظور معکوس کردن جهت جریان سلول PMOS در این مدار به کار رفته است. مقدار جریان این دو منبع جریان برابر ۱۲۵ میکروآمپر درنظر گرفته شده است و به این ترتیب جریان شاخه‌های خروجی بین ۷۵ تا ۱۲۵ میکروآمپر تغییر می‌کنند.

این جریان‌ها پس از جمع شدن با جریان‌های خروجی سلول فولدینگ NMOS در دو مقاومت ٤ کیلو اهمی به ولتاژ تبدیل می‌شوند و به ورودی‌های یک تقویت کننده عملیاتی اعمال می‌گردند.

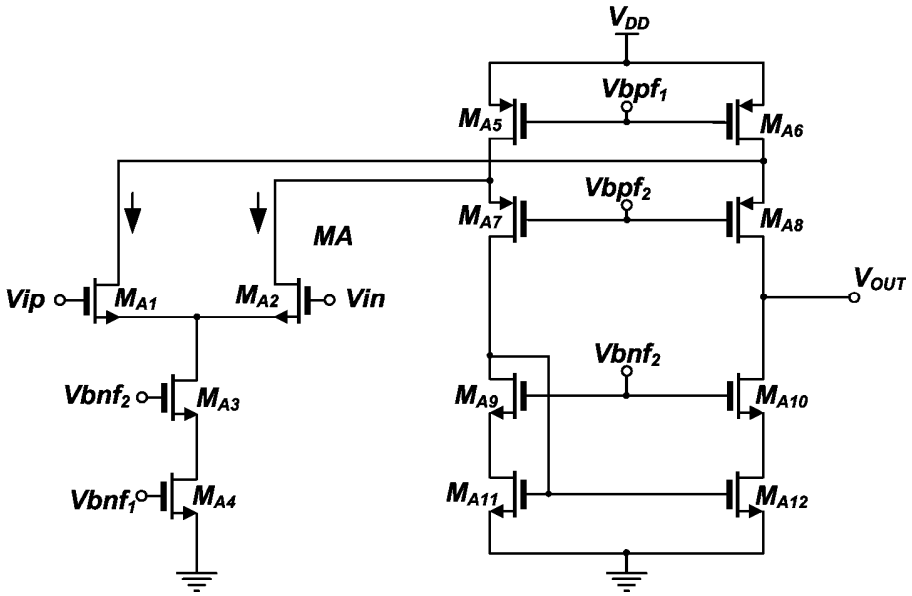
از آنجا که مدار تنظیم کننده یک مدار بایاس dc است، پاسخ فرکانسی آن از اهمیت خاصی برخوردار نیست و تقویت کننده عملیاتی به کار رفته لازم نیست پهنای باند زیادی داشته باشد. مدار تنظیم کننده مشخصه در شکل ۵-۲٦ دیده می‌شود .

تقویت کننده عملیاتی طراحی شده از نوع کسکود تا شده[1] با خروجی یکطرفه است که از مشخصات آن می‌توان به بهره dc زیاد و عدم نیاز به فیدبک مشترک اشاره کرد. مدار تقویت کننده در شکل ۵-۲۷ دیده می‌شود.

[1] -Folded Cascode



شکل ۵-۲۶ مدار تنظیم کننده مشخصه پیش تقویت کننده‌ها



شکل ۵-۲۷ تقویت کننده عملیاتی به کار رفته در مدار تنظیم مشخصه‌ها

با قرار دادن جریان پیش تقویت کننده PMOS برابر با ۱۳۰ میکروآمپر مدار تنظیم کننده جریان پیش تقویت کننده NMOS را به مقدار ۸۲ میکروآمپر تنظیم می‌کند. با این مقادیر جریان بهره سلولها در نقاط عبور از صفر سلول مجاور کاملاً یکسان خواهد شد.

۵-۸ سوئیچ متعادل کننده[1] خروجی

با تمهیدات در نظر گرفته شده پهنای باند سیگنال کوچک بلوک فولدینگ به اندازه کافی وسیع خواهد بود. ولی در عمل رفتار سیگنال بزرگ سلول‌های فولدینگ و گره‌های میانی و گره خروجی نیز در رسیدن به موقع سیگنال خروجی به مقدار نهایی موثر هستند.

بدترین حالت‌هایی که از نظر پاسخ زمانی ممکن است اتفاق بیافتد مربوط به ورودی‌هایی است که دامنه پرش آنها زیاد است و مقدار نهایی آنها در نزدیکی یکی از محلهای عبور از صفر قرار می‌گیرد.

رفتار سیگنال بزرگ مجموعه بلوک فولدینگ باید به گونه‌ای باشد که پیش از رسیدن زمان مقایسه خروجیها به مقدار مشخصی رسیده باشند. مقدار لازم نیست برابر مقدار نهایی($A.(V_{in}-V_{ref})$) باشد و کافی است اولاً هم علامت با مقدار نهایی بوده و ثانیاً قدر مطلق دامنه آن از حداکثر افست مقایسه کننده‌ها بیشتر باشد.

در خروجی پیش تقویت کننده سیگنال هنوز وارد بخش‌های غیرخطی نشده است و با اعمال پالس ورودی، ترانزیستور متصل به ورودی با گذشت زمان محدودی وارد ناحیه اشباع شده و بصورت نمایی به سمت مقدار نهایی میل می‌کند.

در گره‌های جمع کننده پایین و بالا تغییرات سیگنال حالت غیر یکنواخت دارد و بسته به مقدار اولیه و مقدار نهایی پالس ورودی، جریان ورودی به این گره‌ها چندین بار تغییر می‌کند و به علت وجود خازن‌های پراکندگی ولتاژ این گره‌ها نیز تغییرات نسبتاً زیادی خواهد داشت.

به همین ترتیب در خروجی‌ها تغییرات ولتاژ قبل از رسیدن به مقدار نهایی می‌تواند دامنه زیادی داشته باشد که تغییرات آن به مقدار اولیه، مقدار نهایی و سرعت تغییر ورودی بستگی دارد.

---

[1] -Equalizing Switch

به عنوان مثال اگر ورودی با سرعت کم از اولین نقطه عبور از صفر و یک بلوک فولـدینگ بـه سـمت هشتمین نقطه عبور از صفر همان بلوک حرکت کند، خروجی تفاضلی هفت بار از حـداکثر مثبـت بـه حداکثر منفی و بالعکس تغییر می‌کند و درنهایت دوباره به صفر مـی‌رسـد. بـا افـزایش شـیب ورودی تعداد تغییرات خروجی و دامنه آنها کاهش می‌یابد ولی به هر حـال زمـان نسـبتاً زیـادی را بـه خـود اختصاص می‌دهد.

علاوه براین تغییرات ولتاژ گره‌های جمع کننده پایین و بالا مـی‌توانـد برخـی از منـابع جریـان ثابـت NMOS یا PMOS را از حالت خطی خارج کند و برگشت آنها به حالت خطـی بـه کنـدی صـورت گیرد.

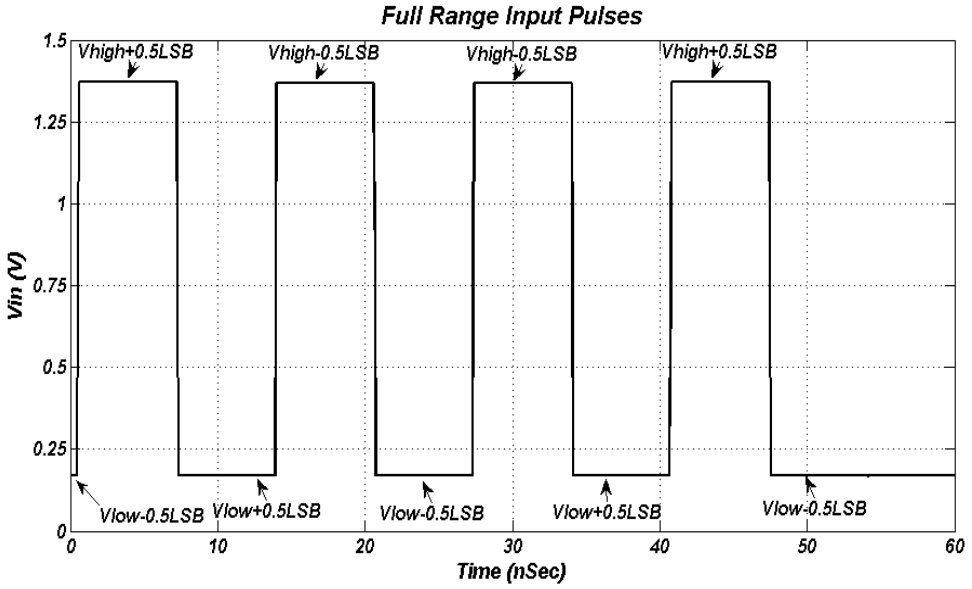
استفاده از سوئیچ‌های متعادل کننده[1] در گره‌ها حساس در بهبود رفتار سیگنال بزرگ موثر اسـت[۸۰]. این سوئیچ‌ها گره‌های تفاضلی حساس را در زمان محدودی از پریود تبدیل اتصال کوتـاه مـی‌کننـد و باعث می‌شوند بخش عمده‌ای از تغییرات گذرا در ولتاژ این گره‌ها حذف شود.

از این سوئیچ‌ها معمولاً در گره خروجی[۸۱] یا در خروجی پیش تقویت کننده [۸۲] استفاده می‌شـود. در مبدل مورد طراحی، قرار دادن سوئیچ متعادل کننده در خروجی پیش تقویت کننده‌هـا عمـلاً تـاثیر مثبتی روی رفتار گذرا ندارد. زیرا باتوجه به یکطرفه بودن سیگنال ورودی، باز و بسته کـردن سـوئیچ روی خروجی‌های تفاضلی پـیش تقویـت کننـده تـاثیر یکسـانی نخواهـد داشـت و درنهایـت باعـث طولانی‌ترشدن پاسخ گذرا خواهد شد.

قرار دادن سوئیچ متعادل کننده در خروجی بلوک‌های فولدینگ و همچنین در گره جمع کننده بـالایی دامنه تغییرات خروجی را محدودتر می‌کند. میزان کارآیی این سوئیچ‌ها بستگی زیادی بـه زمـان بسـته

[1] -Equalizing Switch

این شکل به ازای ورودی با شکل ۵-۲۹ ایجاد شده است. لازم به ذکر است که در عمل به علت وجود مدار دنبال گر- نگهدار، ورودی در هیچ حالتی بصورت ناگهانی بین ابتدا و انتهای محدوده پرش نمی‌کند و در بدترین شرایط یعنی ورودی سینوسی تمام دامنه با فرکانس نایکویست در زمانی برابر با یک چهارم پریود ورودی از ابتدای محدوده به انتهای آن می‌رسد.



شکل ۵-۲۹ ورودی پالس تمام دامنه

۵-۹ نردبان مقاومتی[1]

نردبان مقاومتی شاخه‌ای از مقاومت‌های سری با مقادیر مساوی (به جز مقاومت‌های ابتدایی و انتهایی) است که وظیفه ساختن ۳۲ ولتاژ مرجع اصلی و ۱۲ مرجع خارج از محدوده را از یک ولتاژ (یا جریان) مرجع به عهده دارد. نکته کلیدی در تعیین مقدار مقاومت‌های سری تاثیر این مقدار در رفتار حالت گذرای مدار است.

[1] -Reference Ladder

در عمل با اعمال ورودی سینوسی یا پالس به یک طرف زوج تفاضلی پیش تقویت کننده بخشی از این سیگنال از طریق خازن‌های گیت-سورس دو ترانزیستور ورودی به ورودی دیگر انتقال می‌یابد. دامنه این سیگنال نفوذی به خازن بین دو ورودی و مقاومت دیده شده از ورودی مرجع بستگی دارد. حداکثر مقدار مقاومت معادل دیده شده از ورودی مرجع، مربوط به مرجع میانی است که از هر طرف تا زمین (و ولتاژ مرجع) مقاومتی برابر نصف مقاومت کل نردبان مقاومتی(R) را می‌بینند:

$$\max(r_{eq}) = \frac{R}{2}\left\|\frac{R}{2} = \frac{R}{4}\right. \qquad (٦-٥)$$

میزان تقریبی نفوذ سیگنال به ورودی مرجع برای ورودی سینوسی در مرجع[۸۳] بررسی شده و رابطه تقریبی زیر برای حداکثر مقاومت کل نردبان مقاومتی ارائه شده است.

$$R = \frac{4.\varphi}{\pi.2^N.f_{in}.C} \qquad (٧-٥)$$

در این رابطه R کل مقاومت نردبان برحسب اهم، φ مقدار نفوذ سیگنال ورودی به نسبت یک LSB، N تعداد بیت مبدل، f_{in} فرکانس ورودی و C مجموع خازن‌های بین ورودی و مراجع مختلف است. تقریبی بودن این رابطه اولاً بدلیل ثابت فرض کردن خازن C است که (در عمل مشابه خازن ورودی، تابعی از ولتاژ ورودی است) و ثانیاً در مدار معادل ساده شده کل مقاومت R به چهار قسمت تقسیم شده و خازنها از ورودی به گره های میانی این چهار قسمت در نظر گرفته شده‌اند.

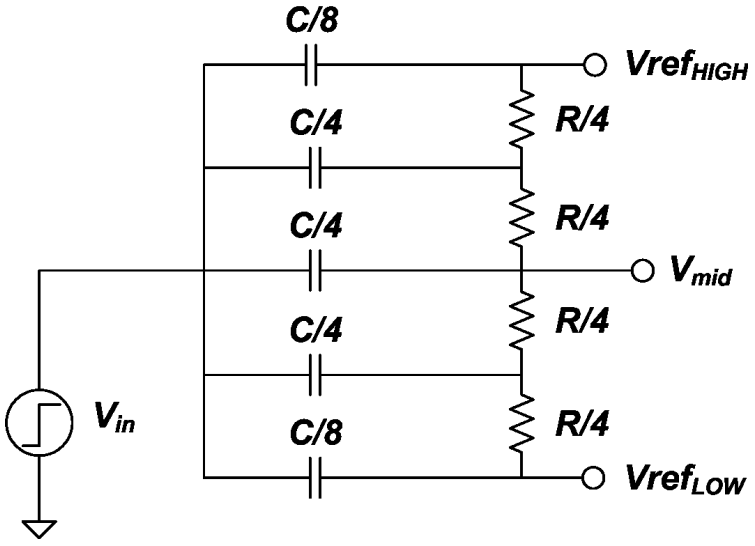
برای مبدل مورد طراحی مقداری که برای R از رابطه(۵-۷) بدست می آید بسیار کوچک (۲۰≈ اهم)و غیر عملی است. علت آن است که در این رابطه وجود مدار نمونه برداری در نظر گرفته نشده است و مقدار R بدست آمده برای حالتی است که بخواهیم مبدل را تا فرکانس نایکویست بدون مدار نمونه برداری به کارگیریم.

در حضور نمونه برداری، ورودی می‌تواند یک پالس با مقدار حداکثر برابر با دامنه ورودی در نظر گرفته شود. دراین حالت مقدار مقاومت نردبان مقاومتی باید به اندازه‌ای کوچک باشد که در زمان کوتاهی پس از اعمال پالس تغییرات ولتاژ در ورودی مرجع میراشده اثر نفوذ سیگنال ورودی برطرف شود.

اگر برای تحلیل از همان مدار ساده شده مرجع[۲۶] که در شکل (۵-۳۰) نشان داده شده است استفاده کنیم، نسبت سیگنال نفوذی به سیگنال ورودی در حوزه S بصورت زیر بدست می‌آید:

$$\frac{V_{mid}(s)}{V_{in}(s)} = \frac{\tau s(\tau s+4)}{\tau^2 s^2 + 4\tau s + 2} \qquad (۵-۸)$$

در این رابطه $\tau = \frac{R}{8}.\frac{C}{2} = \frac{RC}{16}$ است.



شکل ۵-۳۰ مدار ساده شده ورودی مبدل

با استفاده از این رابطه می‌توان تغییرات زمانی ورودی مرجع را با اعمال یک پالس با دامنه V به ورودی بدست آورد:

$$V_{mid}(t) = \frac{V}{2\sqrt{2}}\left[(2+\sqrt{2})e^{\frac{-t}{\tau}(2-\sqrt{2})} - (2-\sqrt{2})e^{\frac{-t}{\tau}(2+\sqrt{2})}\right] \qquad (۵-۹)$$

زمان لازم برای رسیدن ولتاژ خروجی به یک مقدار خاص(v) بصورت زیر محاسبه می‌شود:

$$t \approx \frac{\tau}{2-\sqrt{2}} \ln\left(\frac{2+\sqrt{2}}{2\sqrt{2}} . \frac{V}{v}\right) = \frac{\tau}{2-\sqrt{2}} \left(\ln\left(\frac{2+\sqrt{2}}{2\sqrt{2}}\right) + \ln\left(\frac{V}{v}\right)\right) \qquad (۱۰-۵)$$

به عنوان مثال اگر بخواهیم حداکثر تا یک دهم پریود تبدیل به ازای یک پالس ورودی با مقدار تمام دامنه، نفوذ سیگنال به ورودی مرجع به LSB ۰/۱ برسد، ثابت زمانی مدار بصورت زیر بدست می‌آید:

$$\tau \leq \frac{\frac{2-\sqrt{2}}{2} T}{0.188 + \ln(\frac{2^N}{0.1})} \qquad (۱۱-۵)$$

به عنوان مثال اگر C را با تقریب برابر $40 \times \frac{C_{GS\,sat}}{2} \approx 2.64^{pF}$ درنظر بگیریم مقدار R کوچکتر از ۱۲۹۰ اهم بدست می‌آید.

کوچک کردن مقدار مقاومت نردبان مقاومتی از طرف دیگر به افزایش توان تلفاتی آن بخش منجر خواهد شد. با درنظرگرفتن سقف ۱۰ میلی وات برای توان تلفاتی نردبان مقاومتی، حداقل مقاومت کل این نردبان برابر ۲۲۵ اهم بدست می‌آید. در عمل مقدار این مقاومت با احتساب مقاومت‌های کوچک دو طرف آن ۲۳۵ اهم در نظر گرفته شد. بایستی اشاره کرد که اگر برخی از مراجع نردبان مقاومتی (بخصوص مرجع میانی) با خازن نسبتاً بزرگی به زمین وصل شوند، در بهبود رفتار زمانی و ثابت ماندن ورودی مرجع پیش تقویت کننده‌ها موثر خواهد بود.

۵-۱۰ مقایسه گر[1]

در نگاه اول چنین به نظر می‌رسد که به خاطر وجود بهره پیش پردازشگر آنالوگ (بلـوک فولـدینگ)، افست مقایسه‌گرها تاثیر چندانی بر خطای *INL* ندارد و انتخاب مقایسه‌گرمناسب تنهـا براسـاس تـوان مصرفی و سرعت مقایسه می‌تواند انجام شود.

پاسخ زمانی سیگنال بزرگ آنالوگ نشان می‌دهد در مواردی که مقدار نهایی خروجی آنـالوگ نزدیـک به محل‌های عبور از صفر است، در زمان محدود نمونه برداری و نگهداری، خروجی فرصت رسـیدن به مقدار نهایی (بهره× فاصله ورودی تا مرجع) را ندارد و مقایسه‌گر بایستی افست پایین‌تری نسبت به آنچه محاسبات فصل ۳ نشان می‌دهد داشته باشد.

۵-۱۰-۱ بررسی مقایسه‌گرهای دینامیک

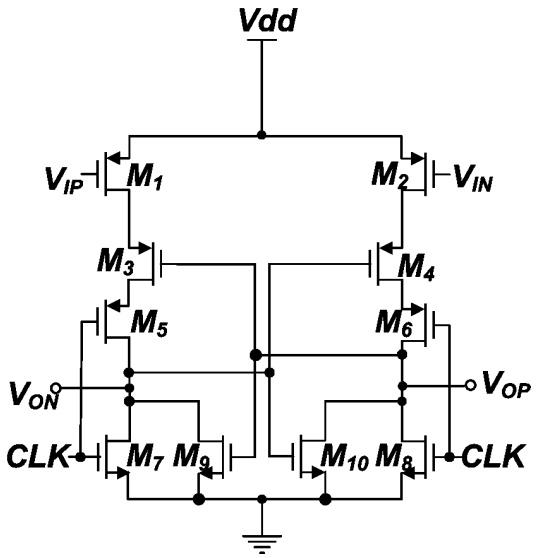
مقایسه‌گرهای دینامیک که در مبدل‌های سریع کاربرد فراوانی دارند و از مزایایی چـون تـوان مصـرفی پایین و سرعت بالا برخوردارنـد معمـولاً مشخصـه افسـت خـوبی ندارنـد[۸٤]. بـه عنـوان مثـال در مقایسه‌گر دینامیک شکل ۵-۳۱ در لبه پایین رونده کلاک اختلاف دو ولتاژ ورودی اخـتلاف جریـانی در شاخه‌های خروجی ایجاد می‌کند که باعث می‌شـود مـدار حافظـه خروجـی[2] (کـه از دو معکـوس کننده[3] پشت به مثبت تشکیل شده است)، به سمت یکی از دو حالـت پایـدار خـود حرکـت کنـد. در لحظه تصمیم گیری هر دو ترانزیستور ورودی M_1 و M_2 در ناحیه ترایود قرار دارند و علاوه بـر ایـن دو ترانزیستور، تطابق ترانزیستورهای M_5 و M_6 نیز در تعیین افست ورودی موثر هستند[۸۵].

---

[1] -Comparator

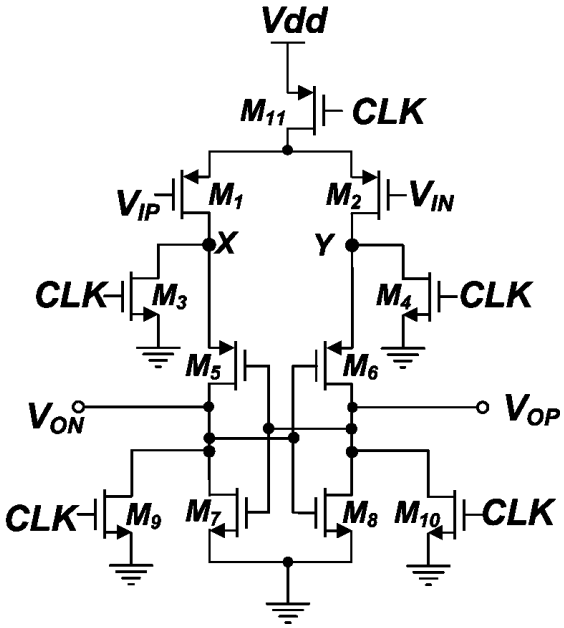
[2] -Output Latch

[3] -Inverter



شکل ۵-۳۱ مقایسه گر دینامیک

به منظور کاهش افست استاتیک، می‌توان از مدل تغییر یافته شکل ۵-۳۲ استفاده کرد که در آن سوئیچ‌های M_3 و M_4 با اتصال درین ترانزیستورهای ورودی به زمین، آنها را در لحظه مقایسه در ناحیه اشباع قرار می‌دهند و به این ترتیب افست استاتیک این مقایسه‌گر عمدتاً با اختلاف ولتاژ آستانه دو ترانزیستور ورودی تعیین می‌گردد[۸۶].



شکل ۵-۳۲ مقایسه‌گر تغییر یافته

با وجود کاهش افست در مقایسه گر شکل ۵-۳۲ این مقایسه گر همچنان به افست دینامیک ناشی از تفاوت خازن پارازتیک گره‌های خروجی حساس است و از طرف دیگر نویز کیک-بَک[1] آن به علت وجود ترانزیستور M_{11} و M_3 و M_4 افزایش یافته است.

به منظور کاهش نویز کیک بک، گیت ترانزیستور M_{11} به جای سیگنال کلاک به یک ولتاژ بایاس ثابت وصل شد. این کار اگرچه به قیمت خارج شدن مقایسه گر از حالت تمام دینامیک و مصرف توان در نیمی از پریود تبدیل تمام می‌شود، ولی علاوه بر کاهش تغییرات ورودی در لبه‌های کلاک، در زمان بالا بودن ولتاژ کلاک (فاز پیش تقویت) سیگنال ورودی توسط ترانزیستورهای M_1 و M_2 به همراه M_3 و M_4 (که در ناحیه ترایود قرار دارند و بصورت مقاومت بار عمل می‌کنند) بهره‌ای ایجاد میکند که تاثیر عدم تطابق ترانزیستورهای طبقه خروجی را در ورودی کاهش می‌دهد[۸۷].

۵-۱۰-۲ تحلیل افست دینامیک مقایسه گر

به منظور روشن‌تر شدن نحوه بهبود عملکرد مقایسه گر، مدار شکل ۵-۳۳ را درنظر می‌گیریم. این مدار همان مقایسه گر شکل ۵-۳۲ است که ترانزیستور M_{11} با یک منبع جریان ثابت جایگزین شده و سوئیچ‌های M_9 و M_{10} به جای زمین کردن خروجی‌ها آنها را به ولتاژ بایاس V_b وصل می‌کنند.

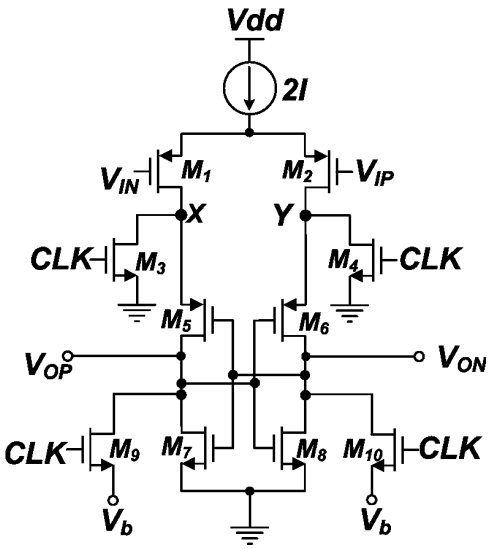
در فاز پیش تقویت، ولتاژ CLK بالا[2] است و می‌توان نوشت:

$$\Delta I = g_{m1,2}\Delta V_{IN} \qquad (۱۲-۵)$$

که ΔV_{in} اختلاف ولتاژ ورودی‌های V_{IN} و V_{IP} و ΔI تفاوت جریان دو شاخه خروجی است.

[1] - Kick back

[2] -High



شکل ۵-۳۳ مدار مقایسه گر تغییر یافته در حالت کلی

ولتاژ گره‌های X و Y در این فاز برابر خواهد بود با :

$$V_{X_0} = R_{on}.(I + \frac{\Delta I}{2}) \ , \ V_{Y_0} = R_{on}.(I - \frac{\Delta I}{2}) \qquad (۱۳-۵)$$

در رابطه (۵-۱۳) R_{on} مقاومت معادل ترانزیستورهای M_3 و M_4 در ناحیه ترایود است. گره های خروجی در این فاز توسط ترانزیستورهای M_9 و M_{10} به ولتاژ V_b وصل شده اند. با پایین آمدن ولتاژ کلاک در t=0 ولتاژ گره‌هایX و Y و گره های خروجی تحت تاثیر تفوذ کلاک[1] اندکی جابجا می‌شوند و می‌توان نوشت :

$$V_{X}\Big|_{t=0^+} = V_{X_0} - \delta_1 = R_{on}.(I + \frac{\Delta I}{2}) - \delta_1$$
$$V_{Y}\Big|_{t=0^+} = V_{Y_0} - \delta_1 = R_{on}.(I - \frac{\Delta I}{2}) - \delta_1 \qquad (۱۴-۵)$$

$$V_{ON}\Big|_{t=0^+} = V_{OP}\Big|_{t=0^+} = V_b - \delta_2 \qquad (۱۵-۵)$$

[1] -Clock Feed-through

در روابط بالا، δ_1 و δ_2 به ترتیب نفوذ کلاک از ترانزیستورهای M_3 (M_4) و M_9 (M_{10}) است :

$$\delta_1 = \frac{C_{gd3}}{C_{gd3}+C_X}V_{DD} = \frac{C_{gd4}}{C_{gd4}+C_Y}V_{DD} \qquad (۱۶-۵)$$

$$\delta_2 = \frac{C_{gd9}}{C_{gd9}+C_{OP}}V_{DD} = \frac{C_{gd10}}{C_{gd10}+C_{ON}}V_{DD} \qquad (۱۷-۵)$$

C مجموع خازن گره X(Y) به زمین و C_0 خازن معادل گره های خروجی مقایسه گر است.

برای آنکه مدار حافظه خروجی حلقه فیدبک مثبت[1] خود را آغاز نماید، ولتاژ گره‌هایX و Y باید حدوداً به اندازه ولتاژ آستانه ترانزیستور PMOS از ولتاژ خروجی بالاتر باشد[۸۸]. به این ترتیب با پایین آمدن کلاک خازن گره‌هایX و Y با جریان ترانزیستورهای M_1 و M_2 شارژ می‌شوند تا جایی که حلقه فیدبک مثبت فعال شود. زمان لازم برای طی این مرحله (t_D) بصورت زیر بدست می‌آید :

$$t_D = (V_b - \delta_2 + |V_{tp}| - I.R_{on} + \delta_1).\frac{C}{I} = V_B'.\frac{C}{I} \qquad (۱۸-۵)$$

$$V_B' \equiv (V_b - \delta_2 + |V_{tp}| - I.R_{on} + \delta_1) \qquad (۱۹-۵)$$

چنانچه خازن پارازتیک بین گره‌هایX و Y کاملاً برابر نباشند و اختلافی به اندازهٔ ΔC بین آنها وجود داشته باشد، در لحظه $t=t_D$ اختلاف ولتاژ دو گره تنها تابع اختلاف ورودیها نخواهد بود:

$$\Delta V_{X,Y} = \left(\frac{(I+\frac{g_m\Delta V_{in}}{2})t_D}{C} - V_{X0}\right) - \left(\frac{(I-\frac{g_m\Delta V_{in}}{2})t_D}{C+\Delta C} - V_{Y0}\right) \qquad (۲۰-۵)$$

$$\Delta V_{X,Y} = R_{on}g_m\Delta V_{in} + \frac{g_m\Delta V_{in}}{I}V_B' - \frac{\Delta C}{C}V_B' \qquad (۲۱-۵)$$

در بدست آوردن روابط بالا از تفاوت نفوذ کلاک در اثر یکسان نبودن خازن‌های پراکندگی دو طرف صرف نظر شده است. دو ترم اول رابطه ۵-۲۰ ناشی از سیگنال (اختلاف ورودیها) است و ترم سوم

[1] -Regeneration

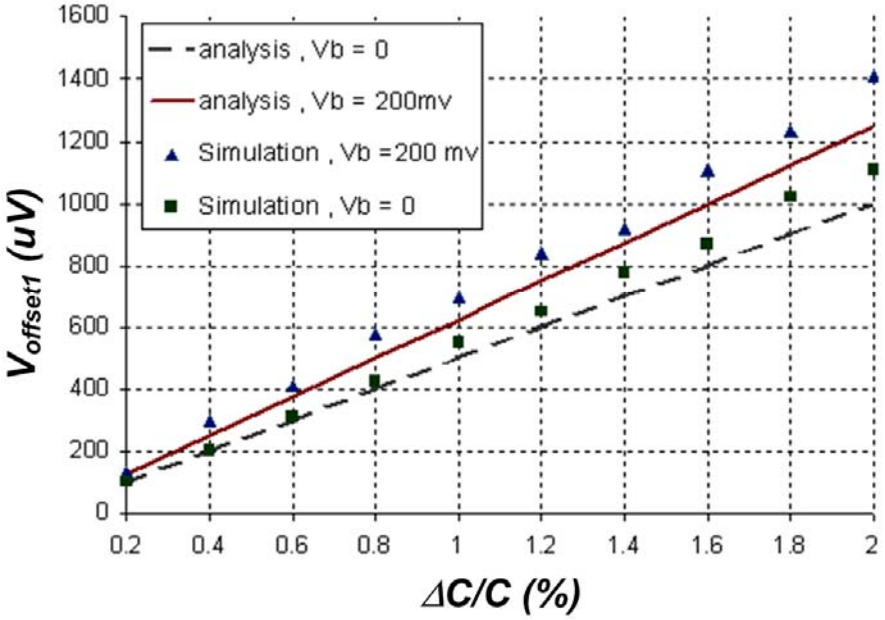
ناشی از شارژ دو گره با خازن‌های متفاوت می‌باشد. در حالتی که R_{on} کوچک باشد ، با اضافه شدن زمان تاخیر t_D (و ولتاژ V'_B) ترم‌های سیگنال و افست به یک نسبت زیادمی‌شوند و در این حالت تغیر V_b تاثیری روی افست دینامیک ناشی از اختلاف خازن گره‌هایX و Y نخواهد داشت. ولی با درنظر گرفتن تمام پارامترهای رابطه (۵-۲۱) اگر در ورودی افست معادلی درنظر بگیریم. مقدار آن خواهد بود :

$$V_{offset1} = \frac{\frac{\Delta C}{C} V'_B}{g_m \cdot \left(R_{on} + \frac{V'_B}{I} \right)} \qquad (۲۲-۵)$$

باتوجه به رابطه (۵-۲۲) مشخص است که افزایشV'_B از یک طرف باعث افزایش بهره موثر و کاهش افست ورودی خواهد شد و از طرف دیگر تاثیر یکی از ترم‌های مربوط به عدم تطابق خازن‌ها را زیاد می‌کند. در شکل ۵-۳٤ افست معادل ورودی به ازای $\Delta C/C$ های متفاوت گره‌هایX و Y در دو حالت V_b=0 و V_b=200^{mv} رسم شده‌اند.

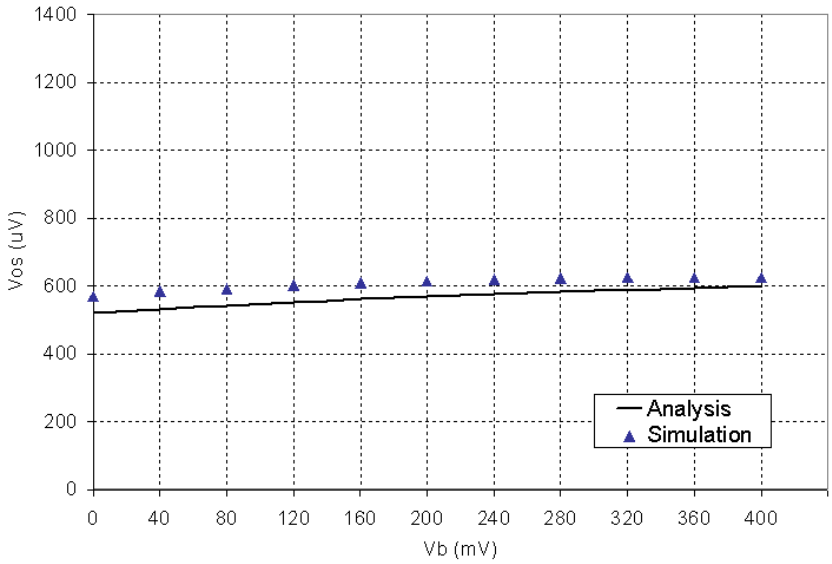
همانگونه که در شکل دیده می‌شود، ۲ درصد تفاوت در خازن‌های دو گره می‌تواند بین ۱ تا ۱/٤ میلی ولت افست دینامیک در ورودی ایجاد کند.

البته لازم به تذکر است که از آنجا که گره‌هایX و Y گره‌های داخلی هستند تفاوت خازن پارازتیک آنها می‌تواند با یک طراحی لی اوت دقیق پایین نگاه داشته شود.



شکل ۵-۳٤ تغییرات ولتاژ افست دینامیک برحسب میزان عدم تطابق خازن‌ها

رابطه افست ورودی با ولتاژ بایاس V_b در شکل ۵-۳۵ نمایش داده شده است. با مقادیر در نظر گرفته شده برای طراحی مقایسه گر، ولتاژ V_b تاثیر قابل ملاحظه‌ای روی افست دینامیک ناشی از عدم تطابق خازن‌های گره‌های X و Y ندارد.



شکل ۵-۳۵ افست دینامیک ورودی برحسب ولتاژ V_b برای اختلاف خازن ۱ درصد بین گره‌های X و Y

در گره‌های خروجی ، تفاوت خازن دو گره تاثیر بیشتری در افست دینامیک ورودی خواهد داشت زیرا هنگامی که فیدبک مثبت حلقه خروجی (متشکل از دو معکوس کنندهٔ پشت به پشت[1]) آغاز می‌شود، تفاوت خازن‌های خروجی می‌تواند تفاوت مقدار اولیه دو گره را تحت الشعاع قرار دهد و مقدار تعادل نهایی را برعکس کند.

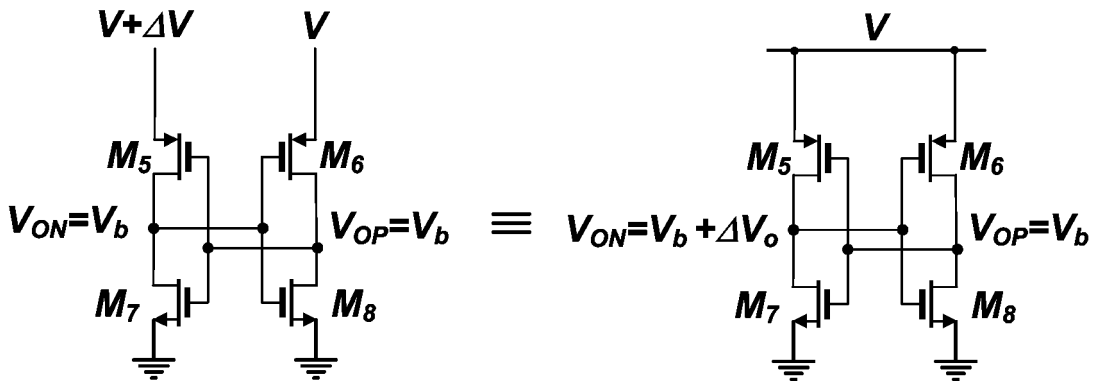
برای حالت ساده شده‌ای که در اینورتر و با ولتاژ ورودی مشخص به یکدیگر وصل می‌شوند، تحلیل افست دینامیک در مرجع[۸۹] صورت گرفته و رابطه ساده زیر ارائه شده است :

$$V_{os} = \frac{\Delta C_o}{C_.}.(V_b - V_S) \qquad (۲۳-۵)$$

در این رابطه C_0 خازن معادل هر یک از گره‌های خروجی به زمین و ΔC_O تفاوت آنهاست. V_b ولتاژ اولیه گره‌های خروجی و V_s ولتاژ آستانه (تغییر حالت) یک معکوس کنندهٔ CMOS است (برابر ولتاژی که به ازای آن جریان ترانزیستور NMOS و PMOS در حالت اشباع با یکدیگر برابر می‌شوند). باتوجه به این رابطه اگر ولتاژ اولیه با V_s برابر باشد، ولتاژ افست دینامیک ناشی از تفاوت خازن‌های خروجی به صفر می‌رسد.

در مقایسه گر مورد طراحی، ولتاژ ورودی به گره‌های خروجی اعمال نمی‌شود بلکه به سورس ترانزیستورهای PMOS اعمال می‌گردد. باتوجه به شکل ۵-۳۶ می‌توان رابطه‌ای بین دو حالت بدست آورد.

[1] -Back-to-back Inverters



شکل ۵-۳۶ ولتاژ اولیه معادل برای حافظه مقایسه گر

اگر در لحظه شروع حلقه فیدبک مثبت ولتاژ سورس ترانزیستورهای PMOS (= ولتاژ گره‌هایX و Y) اختلاف ولتاژی برابر ΔVداشته باشند و ولتاژ گره‌های خروجی برابر V_b باشند. رفتار مدار خروجی مشابه حالتی است که ولتاژ سورس دو ترانزیستور PMOS برابر باشد و خروجی‌ها اختلافی برابر ΔV_o داشته باشند. مقدار ΔV_oاز رابطه زیر بدست می‌آید:

$$\Delta V_O = \frac{g_{mp}}{g_{mp} - g_{mn}} . \Delta V_{X,Y} \qquad (۲۴-۵)$$

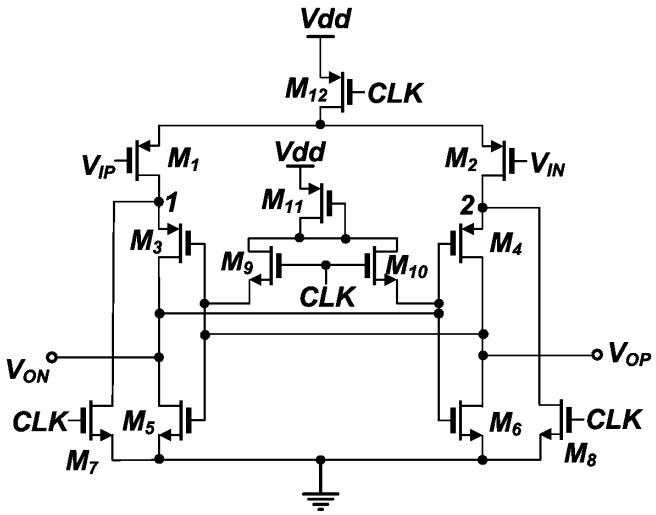
در این رابطه g_{mp}و g_{mn} بهره جریان ترانزیستورهای PMOS و NMOS در زمان t_D است. در عمل ولتاژ V در شکل ۵-۳۶ ثابت نیست ولی نرخ تغییرات آن در فاز باز– زایی[1] به مراتب کندتر از فاز پیش تقویت[2] خواهد بود و ثابت فرض کردن آن خطای قابل ملاحظه‌ای ایجاد نمی‌کند. باتوجه به اینکه V_b باید به گونه‌ای انتخاب شود که ترانزیستورهای M_7 و M_8 وارد ناحیه ترایود نشوند، منطقی است که V_b کوچکتر از ولتاژ آستانه ترانزیستورهای NMOS و درنتیجه g_{mn} به مراتب کوچکتر از g_{mp} باشد. با ترکیب رابطه‌های (۵-۲۴) و (۵-۲۳) ولتاژ افست دینامیک ورودی ناشی از تفاوت خازن‌های خروجی به صورت زیر بدست می‌آید:

[1] -Regeneration Phase

[2] -Preamplification Phase

۵-۱۰-۳ مقایسه گر با افست دینامیک پایین

برای ساختن ولتاژ بایاس می‌توان از مداری مشابه شکل ۵-۳۸ استفاده کرد که در آن V_b توسط ترانزیستور M_{11} و M_5 و M_6 (که هر سه بصورت دیود بسته شده‌اند) ساخته می‌شود.



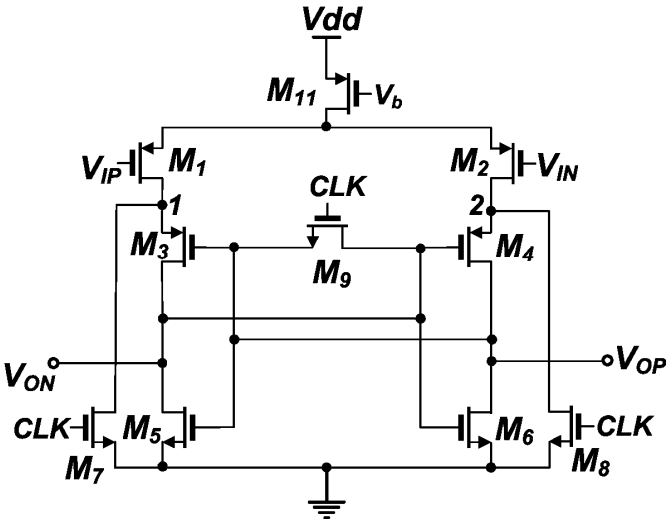
شکل ۵-۳۸ مقایسه گر با افست دینامیک نزدیک به صفر

شبیه سازی نشان می‌دهد که افست دینامیک این مقایسه گر با تفاوت خازنی ٤٠ فمتو فاراد کمتر از ۰/۵ میلی ولت خواهد بود. چنین مقایسه گری می تواند برای جبران افست استاتیک با افست دینامیک قابل برنامه ریزی به کار رود[۹۰][۹۱].

یک راه دیگر برای قرار دادن ولتاژ اولیه خروجی‌ها در نزدیکی مقدار بهینه، آن است که دو خروجی را در فاز پیش تقویت به یکدیگر وصل کنیم (شکل ۵-۳۹).

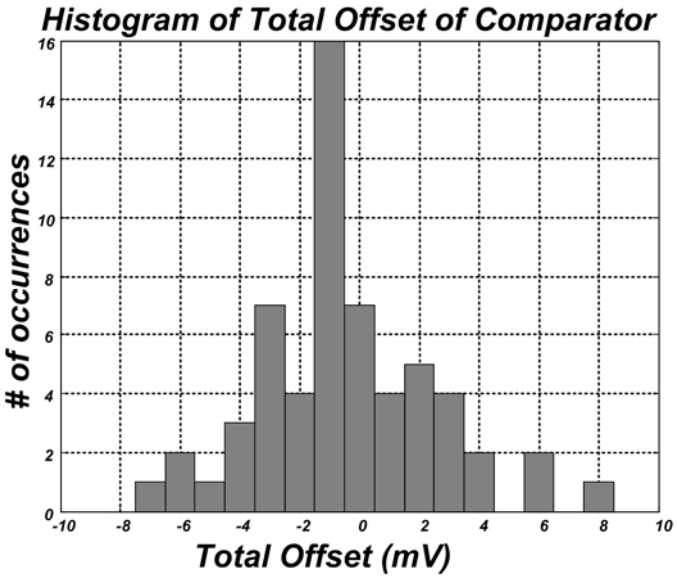
در اینحالت درابتدای فاز پیش تقویت خروجی‌ها در ولتاژی نزدیک به آستانه ترانزیستورهای NMOS قرار می‌گیرند و به تدریج از ولتاژ آنها کاسته می‌شود. شبیه سازی نشان می‌دهد که در لحظه بازشدن سوئیچ M_9 در حالتی که فرکانس کلاک مقایسه گر ۱۵۰ مگاهرتز باشد، ولتاژ گره‌های خروجی در

حدود ٤٠٠ میلی ولت است و به ازای ۱۰ فمتوفاراد اختلاف خازن دو گره خروجی ، افست دینامیک ورودی کمتر از ۳ میلی ولت خواهد بود.



شکل ۵-۳۹ مقایسه گر با افست دینامیک کم

اگرچه این افست نسبت به مدار شکل ۵-۳۸ بالاتر است ولی نسبت به مدار اولیه بهبود قابل ملاحظه‌ای دارد ودر عین حال از پیچیدگی کمتری برخوردار است. مجموع ولتاژ افست ورودی ناشی از عدم تطابق ولتاژهای آستانه، طول و عرض ترانزیستورها و خازن‌های گره‌های مختلف برای این مقایسه گر با استفاده از شبیه سازی مونت کارلو بررسی شد. در شکل ۵-٤۰ هیستوگرام ولتاژ افست ورودی دیده می‌شود و جدول ۵-۲ خلاصه مشخصات مقایسه گر طراحی شده را بیان می‌کند.



شکل ۵-۴۰ هیستوگرام ولتاژ افست ورودی

جدول ۵-۲ خلاصه مشخصات مقایسه گر

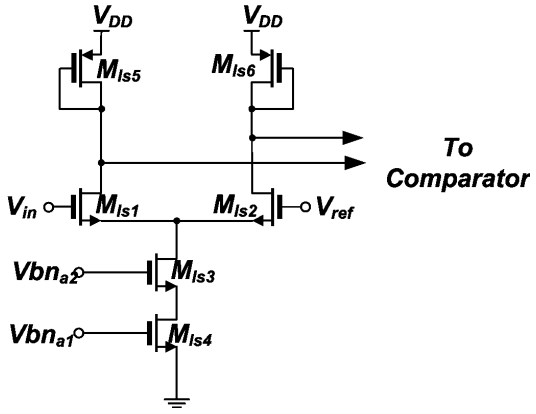
Resolve time	1.3 ns
Dynamic Offset for ΔC_O= 10fF	2.8 mV
Static Offset	3 mV
technology	0.18µ CMOS
Power supply	1.5V
Power Consumption	120µW

۵-۱۱ مقایسه گرهای مبدل درشت گام

برخلاف مقایسه گرهای مبدل ریزگام که ورودی‌های آنها تفاضلی است و همگی ولتاژ مشترک یکسان (حدود ۰/۵ ولت) دارند، مقایسه گرهای مبدل درشت گام باید ورودی را با ولتاژهای مرجعی که از ابتدا تا انتهای محدوده به فواصل یک چهارم محدوده قرار می‌گیرند مقایسه کنند.

برای آن دسته از این مقایسه‌ها که از ابتدا تا نیمه محدوده انجام می‌شوند از همان ساختار مقایسه گر مبدل اصلی می‌توان استفاده کرد ولی برای مقایسه گرهای نیمه بالایی یا بایستی از وارون مقایسه گر مبدل اصلی استفاده کرد (با ترانزیستورهای ورودی NMOS) و یا پیش از مقایسه گر از یک انتقال دهنده سطح ولتاژ استفاده کرد. این انتقال دهنده می‌تواند یک تقویت کننده تفاضلی NMOS باشد که ولتاژ مشترک خروجی‌های آن به اندازه کافی پایین است.

در عمل راه دوم (استفاده از انتقال دهنده سطح ولتاژ) به تنوع مداری کمتری منجر می‌شود بخصوص که می‌توان از همان پیش تقویت کننده فولدینگ به این منظور استفاده کرد. برای پایین بردن سطح ولتاژ مشترک خروجی‌ها بارهای مقاومتی با بارهای فعال PMOS بصورت اتصال دیودی جایگزین شوند. شکل ۵-۴۱ مدار انتقال دهنده سطح ولتاژ برای مقایسه گرهای مبدل درشت گام را نشان می‌دهد.



شکل ۵-۴۱ مدار انتقال دهنده سطح ولتاژ برای مقایسه گر

۵-۱۲ مدارهای منطقی دیجیتال

همانگونه که در فصل ۳ اشاره شد مدار دکودر دیجیتال شامل گیت‌های *XOR*، *AND* و *OR* و همچنین مالتی پلکسرهای ۲ به۱ (برای سنکرون کردن بیت‌های *MBS* و *MSB-1* و نیز سیگنال‌های

سرریز[1] و ته ریز[2] است. در خروجی دکودر ۸ عدد حافظه[3] قرار میگیرد که بیت‌های ساخته شده را در خود ذخیره می‌کند. چنانچه به جای ۸ حافظه خروجی از دوسری ۸ تایی با فرمان های جداگانه استفاده کنیم، می‌توان با ذخیره یک در میان خروجی در این دو سری حافظه ،با دو برابر کردن تعداد پین‌های خروجی فرکانس خواندن آنها را به نصف تقلیل داد . در عمل به یک سری از حافظه‌ها خروجی‌های D_0 تا D_8 و به یک سری وارون آنها اعمال گردید. به این ترتیب اگر فرمان هر دو سری حافظه‌های یکسان باشد، ۱٦ خروجی به صورت ۸ خروجی دیفرانسیل قابل استفاده هستند.

در طراحی گیت‌های *XOR* و *OR* و *AND* از منطق تفاضلی[4] استفاده شده یعنی همه ورودی‌ها بصورت مستقیم و وارون مورد استفاده قرار گرفته و خروجی‌ها نیز هم بصورت مستقیم و هم بصورت وارون تولید شده‌اند. به این ترتیب به ازای هر تغییر حالت از صفر به یک یا بالعکس، یک تغییر حالت در جهت معکوس نیز خواهیم داشت که درنهایت اغتشاش ناشی از سوئیچینگ دیجیتال را تا حد زیادی کاهش می‌دهد و تغییرات جریان مصرفی قسمت دیجیتال را نیز نرمتر می‌سازد. در شکل ٥-٤٢ مدار گیت‌های طراحی شده دیده می‌شود.

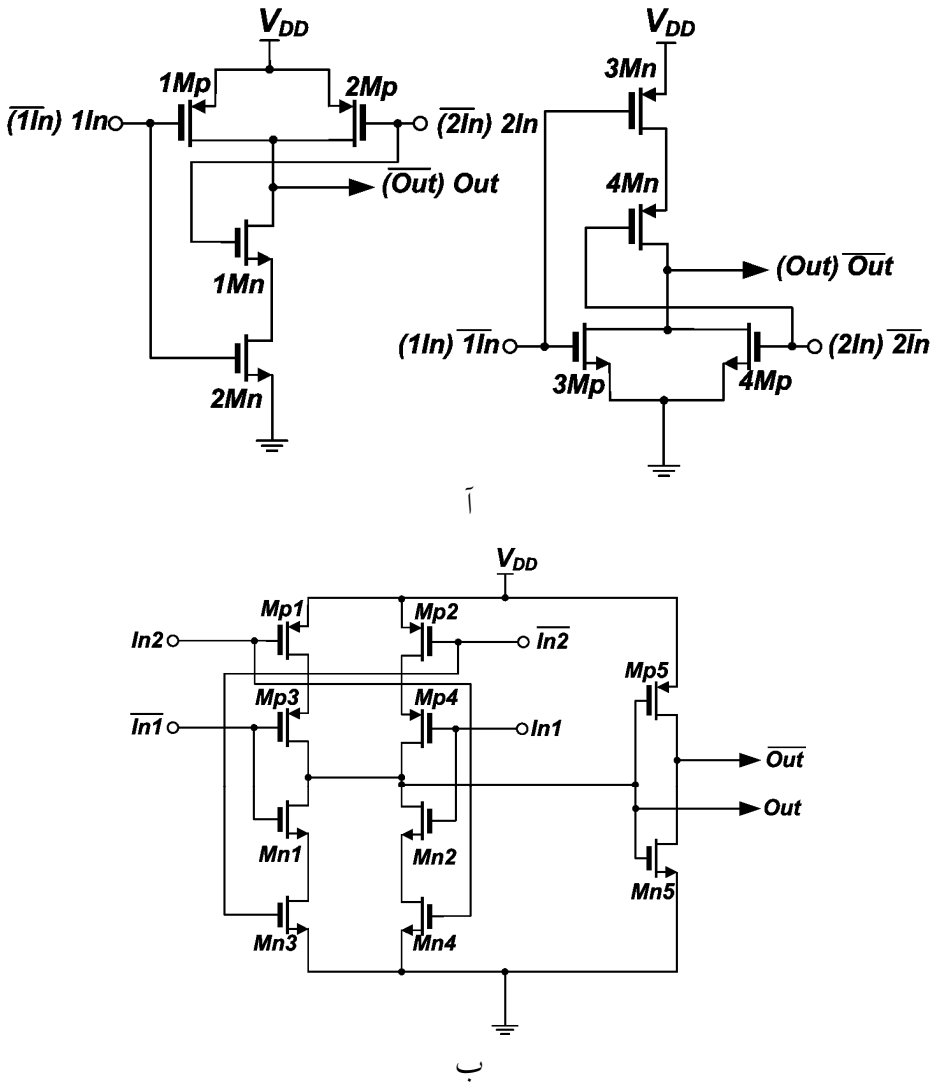
---

[1] -Overflow

[2] -Underflow

[3]-Latch

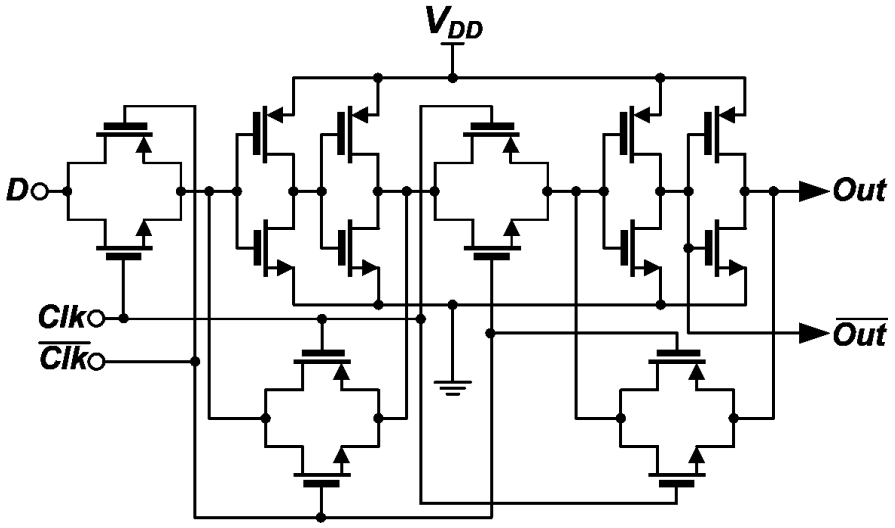
[4] -Differential Logic



شکل ٥-٤٢ گیت های دیجیتال آ) AND (OR) ب) XOR

برای حافظه‌های خروجی نیز از مدار استاندارد حافظه با تریگر لبه[1] مطابق شکل ٥-٤٣ استفاده شد و در خروجی آن ٤ عدد اینورتر سری قرار گرفت که به عنوان درایور سلولهای خروجی دیجیتال عمل می‌کند.

[1] -Edge-Triggered



شکل ۵-۴۳ حافظه‌های خروجی

۵-۱۳ مدارات درایور پالس‌های ساعت

پالس‌های ساعت (کلاک) مورد نیاز در مبدل فولدینگ مورد طراحی عبارتند از :

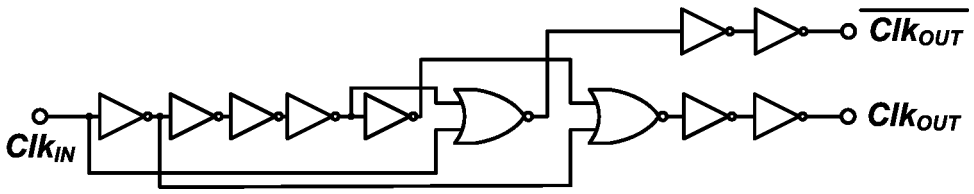
۱- پالس‌های نمونه برداری برای اعمال به مدار دنبالگر – نگهدار شامل دو پالس بدون همپوشانی

۲- پالس‌های مقایسه برای اعمال به مقایسه گرهای مبدل اصلی (ریزگام) و مبدل درشت گام

۳- پالس‌های متعادل سازی برای اعمال به سوئیچ‌های متعادل ساز خروجی مبدل اصلی

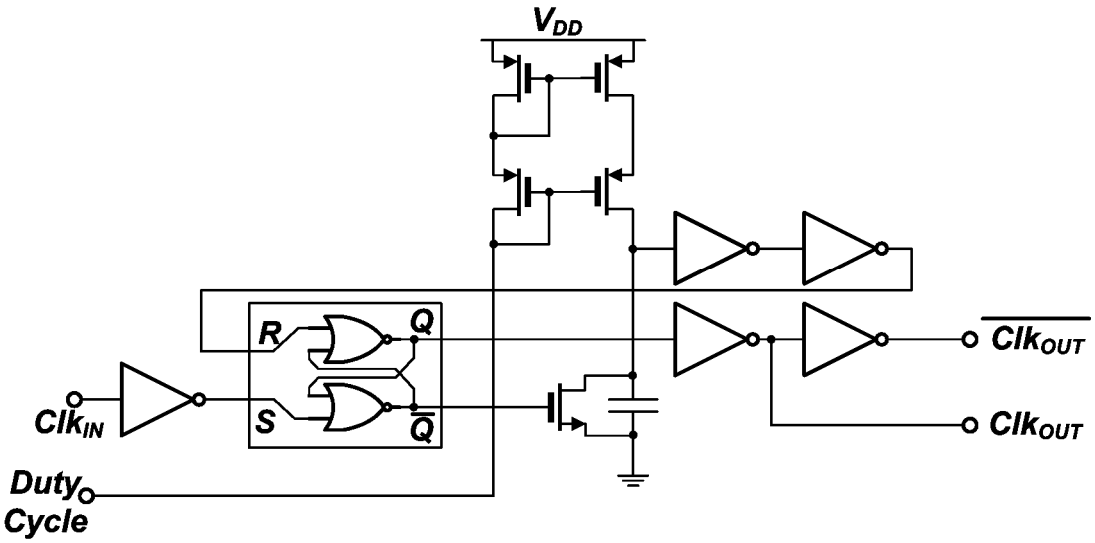
٤- پالس‌های ذخیره خروجی دیجیتال در حافظه‌های خروجی

برای ساختن پالس‌های بدون همپوشانی برای نمونه برداری از مداری مطابق شکل ۵-٤٤ استفاده شد که دو کلاک Q_1 و Q_2 را از کلاک ورودی به مدار نمونه برداری می‌سازد.



شکل ۵-٤٤ ساختن پالس‌های بدون همپوشانی برای نمونه برداری

همانگونه که اشاره شد نسبت زمان بسته بودن سوئیچ‌های متصل کننده به کل پریود تبدیل در عملکرد این سوئیچ‌ها موثر است به منظور داشتن پالس‌هایی با نسبت زمان فعال[1] متغیر، از مداری مطابق شکل ۵-٤۵ استفاده شد که در آن یک ورودی به آنالوگ نسبت زمان فعال کلاک را مشخص می‌کند.



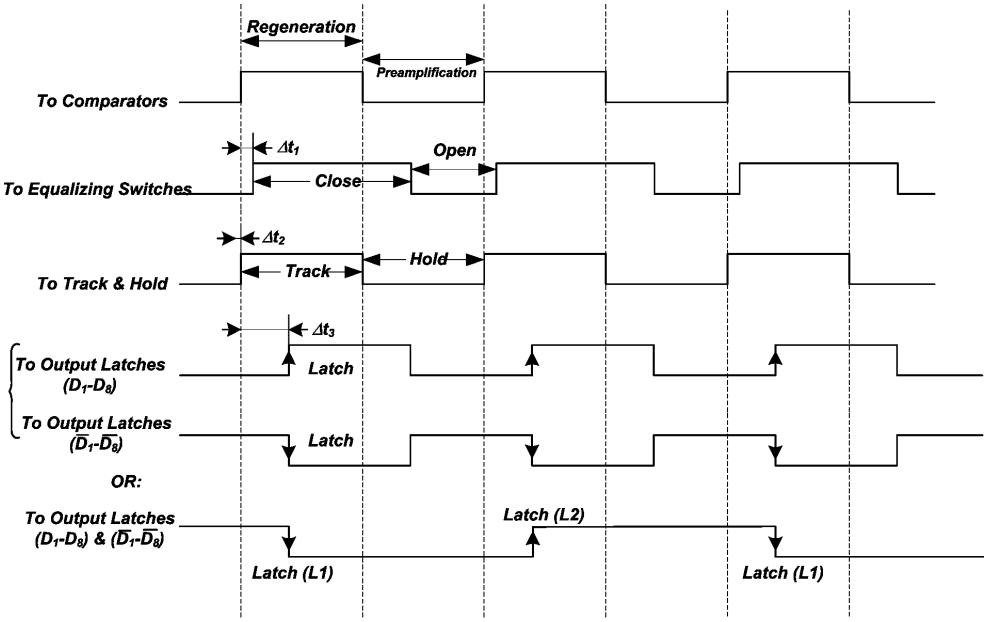
شکل ۵-٤۵ ساختن پالس‌هایی با نسبت زمان فعال متغیر

به این ترتیب که با لبه بالا رونده کلاک، شارژ یک خازن با جریان ثابت شروع می‌شود و هنگامی که ولتاژ خازن به سطح معینی (که توسط ولتاژ آنالوگ ورودی تعیین میشود) رسید، فلیپ فلاپ ری ست[1] میگردد.

[1] - Duty Cycle

ترتیب زمانی پالس‌های چهارگانه فوق باید به ترتیبی باشد که قبل از بسته شدن سوئیچ متعادل کننده لبه پایین رونده پالس‌های اعمالی به مقایسه گرها اتفاق بیافتد. پس از گذشت زمان محدودی از لبه پالس مقایسه، سوئیچ متعادل کننده باید بسته شود و مدار نمونه برداری نیز در حالت دنبالگری قرار گیرد. تاخیر پالس‌های ذخیره سازی خروجی‌ها نسبت به پالس مقایسه چندان مهم نیست و کافی است در حدی باشد که مدار دکودر دیجیتال حالت گذرای خود را طی کند و تغییر حالت ورودی آن به خروجی برسد. شبیه سازی حداکثر این زمان را در حدود ۲ نانوثانیه نشان می‌دهد.

شکل ۵-٤٦ زمان بندی لازم برای کلاک‌های چهارگانه را نشان می‌دهد.



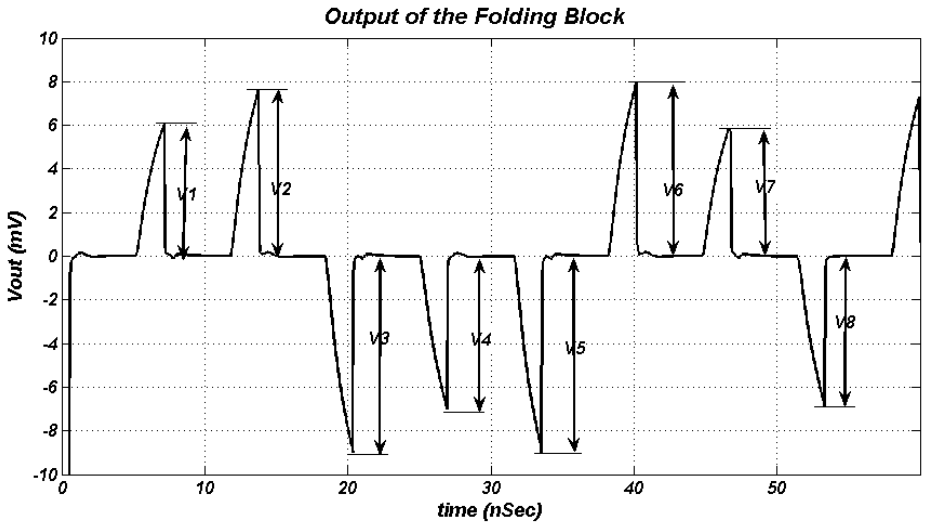
شکل ۵-٤٦ تاخیر کلاک‌های چهارگانه نسبت به یکدیگر

[1] -Reset

۵-۱٤ شبیه سازی‌های دینامیک مداری

شبیه سازی‌های انجام گرفته برای بررسی رفتار دینامیک مبدل در سه سطح زیر انجام گرفت :

۱-شبیه سازی پاسخ زمانی پیش پردازشگر آنالوگ به پالس‌های با دامنه تمام مقیاس مشابه شکل ۵-۲۹. چنانچه خروجی مدار آنالوگ در انتهای پریود تبدیل در جهت صحیح به اندازه کافی از صفر فاصله گرفته باشد، مقایسه به احتمال قریب به یقین با نتیجه صحیح انجام می‌شود (لازم به تذکر است که عملکرد مقایسه گر از جهت افست استاتیک و دینامیک و مسائلی نظیر فراپایداری مورد بررسی قرار گرفته است). این شبیه سازی در گوشه‌های مختلف پروسه انجام گرفت که نتیجه آن در جدول ۵ بصورت خلاصه آورده شده است. مقادیر $V1$ تا $V8$ با توجه به شکل ۵-٤۷ تعریف شده اند.



شکل ۵-٤۷ خروجی بلوک فولدینگ به ورودی مشابه شکل ۵-۲۹

جدول۵-۱ نتایج شبیه سازی زمانی

Test Conditions / Output Voltage (mV)	tt VDD=1.5V t=25^{0}C	ss VDD=1.4V t=0^{0}C	tt VDD=1.6V t=100^{0}C
V_1	4.84	4.19	5.52
V_2	9.1	9.35	6.13
V_3	-10.6	-11.6	-5.03
V_4	-5.4	-5.46	-4.44
V_5	-10.6	-11.6	-5
V_6	9.88	10.2	6.4
V_7	5.03	4.27	5.76
V_8	-5.02	-5.1	4.21

۲- بدست آوردن طیف فرکانسی خروجی و محاسبه نسبت سیگنال به نویز و اعوجاج – به این منظور در شبیه سازی در حوزه زمان ورودی‌های سینوسی با فرکانس‌های مختلف و دامنه تمام مقیاس به مبدل اعمال شده و بیت‌های خروجی در زمان کافی (۵۱۲ سیکل تبدیل) ذخیره شده و با استفاده از آنها سیگنال آنالوگ بازسازی می‌شود. با استفاده از طیف سیگنال بازسازی شده، نسبت سیگنال به نویز و اعوجاج می‌تواند محاسبه گردد. نمونه‌هایی از طیف خروجی بازسازی شده در شکل۵-۴۸ دیده می‌شود و در شکل ۵-۴۹ چگونگی تغییرات نسبت سیگنال به نویز و نسبت سیگنال به نویز و اعوجاج با فرکانس ورودی دیده می‌شود.

فصل٦ پیاده سازی، ساخت و آزمون

٦-١ طراحی لی اوت[1]

در این بخش بصورت خلاصه و فهرست وار به نکاتی که در طراحی لی اوت هر قسمت مورد نظر بوده است و چگونگی پیاده سازی این نکات خواهیم پرداخت.

[1] -Layout

٦-١-١ طراحی نقشه قرارگیری اجزا[1]

نحوه قرار گرفتن اجزاء مختلف مدار در کنار یکدیگر در عملکرد نهایی، سطح اشغال شده و راحتی اتصال پین‌ها به مدار نقش اساسی ایفا می‌کند. نکاتی که در طراحی این پلان مورد نظر بوده است بطور فهرست وار عبارتند از:

١- کنار هم قرار گرفتن بخش‌هایی که تطابق آنها مهم است (مثل سلول های فولدینگ هر بلـوک فولدینگ)

٢- کاهش طول مسیرهای ارتباطی و یکسان سازی طول مسیرهای ارتباطی بلوک های مختلف

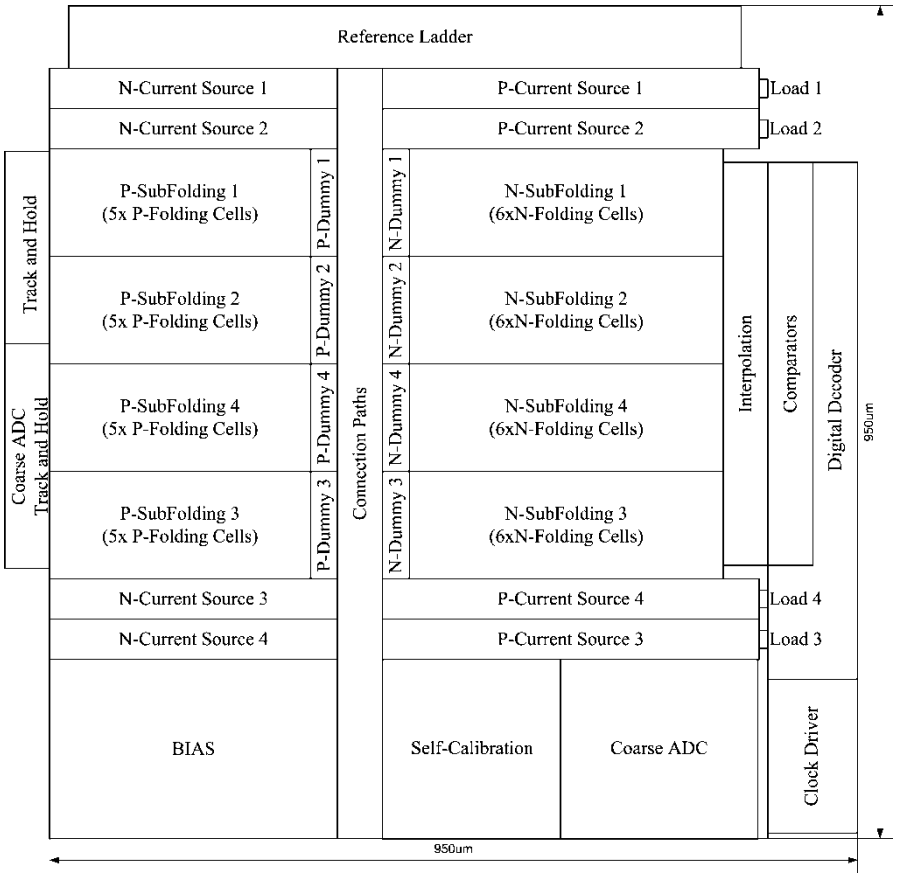
٣- ایزولاسیون کامل بخش دیجیتال و مسیرهای کلاک از قسمتهای آنالوگ حساس

٤- قراردادن بخش‌هایی که اتصالات بیشتری به خارج دارند در حاشیه

٥- نزدیک کردن ابعاد نهایی به مربع

نقشه قرارگیری نهایی در شکل٦-١ دیده می‌شود. همانگونه که در شکل مشخص است، ابعاد سطح فعال در حدود ٩٥٠میکرون در ٩٥٠میکرون است.

[1] -Floor-Plan



شکل ٦-١ نقشه قرارگیری نهایی

٦-١-٢ سلول های فولدینگ

هر سلول فولدینگ شامل یک پیش تقویت کننده و یک تقویت کننده فولدینگ می‌باشد. در نکات اساسی در طراحی لی اوت این بخش عبارتند از:

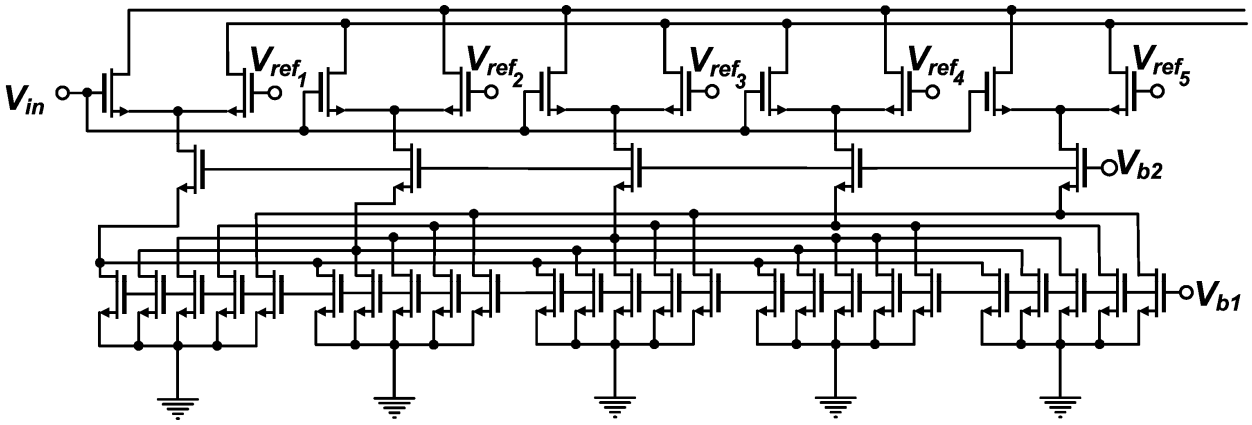
- تطابق ترانزیستورهای ورودی : به منظور داشن تقارن کامل ترانزیستورهای ورودی در جهت x و y، ترکیبی از الگوهای مرکز تقارن مشترک[1] و در هم تنیده[2] در طراحی لی اوت آنها بکار رفته است و علاوه بر این از گیت‌های مجازی[3] برای ترانزیستورهای کناری استفاده شده است[۹۲] (شکل ٦-٢).

[1]- Common centroide

[2]- interdigitation

[3] -Dummy

تفاوت مشخصات بین سلول‌ها، روی همه منابع جریان به یک نسبت تأثیر بگذارد و تطابق بین منابع حفظ شود(شکل٦-٣).



شکل ٦-٣ پیاده سازی ترانزیستورهای منبع جریان به صورت گسترده

اتصال سلول ها به یکدیگر: برای برقراری ارتباط بین سلول‌ها (شامل خطوط تغذیه، با یاس‌ها، خطوط ورودی و خروجی و شبکه متوسط گیری)، طراحی لی اوت به گونه‌ای انجام شد که با کنار هم قرار دادن سلول‌های یک بلوک در جهت افقی و کنار هم قرار گرفتن بلوک‌ها در جهت عمودی، اتصالات لازم بین خطوط برقرار شود و در نهایت تغذیه و ورودی خروجی بصورت افقی و شبکه متوسط گیری بصورت عمودی ساخته شوند.

٦-١-٣ منابع جریان ثابت

منابع جریان ثابت برای هر بلوک شامل دو منبع جریان P و دو منبع جریان N است که یکسان بودن مقدار جریان هر زوج بسیار مهم است. از این رو لی اوت ترانزیستورهای تعیین کننده جریان هر زوج

بصورت در هم تنیده طراحی شدند. ابعاد کلی هر زوج منبع بصورتی در نظر گرفته شده است که زوج N در کنار زیر بلوک P و زوج P در کنار زیر بلوک N هر بلوک فولدینگ قرار گیرد.

٦-١-٤ نردبان مقاومتی[1]

این مدار شامل نردبانی از ٤٣ مقاومت ٦ اهمی سری است که از یک طرف با یک مقاومت اهم به زمین و از طرف دیگر با یک مقاومت اهم به ولتاژ مرجع ١/٥ ولتی وصل می شود. سه روش برای پیاده سازی مقاومت‌های نردبانی مورد بررسی قرار گرفت:

١- استفاده از لایه Metal3: اگر در طراحی لی اوت بخش‌های دیگر ازیک لایه فلز (به عنوان مثالMetal3) استفاده نشده باشد و نردبان مقاومتی با این لایه ساخته شود، این امکان وجود دارد که از فضای روی مدار برای مقاومت‌ها استفاده شود. به این ترتیب مقاومت‌ها می‌توانند بصورت نوارهایی با عرض زیاد ساخته شوند که در نتیجه تطابق بیشتری بین اندازه آنها بوجود می‌آید و همچنین گرمای حاصل از توان تلفاتی مقاومت‌ها همهٔ مدار را به یک اندازه تحت تأثیر قرار می‌دهد. ایرادی که ممکن است پیاده سازی مقاومت‌ها به این روش داشته باشد آن است که سطح زیر مقاومت‌ها به علت وجود المان‌های دیگر یکنواخت و هموار نیست و این ممکن است به تغییراتی در مقدار مقاومت‌های منجر شود.

٢- استفاده از لایه Metal1: اگر نردبان مقاومتی بصورت مجزا در کنار مدارات دیگر ساخته شود، می‌توان از لایه Metal1 روی فضای خالی پایه[2] برای ساختن آن استفاده کرد و بهاین ترتیب مسئله

---

[1]- Reference Ladder

[2] -Substrate

ناهمواری سطح زیر مقاومت‌ها حل می‌شود. ولی در این روش پهنای مقاومت‌ها کمتر خواهد بود (برای جلوگیری از افزایش سطح کلی) و نیز یک طرف مدار گرمتر از طرف دیگر خواهد بود که البته با توجه به کم بودن تلفاتی نردبان مقاومتی (حدود ۱۰ میلی وات) مقدار این گرادیان حرارتی ناچیز است. مسئله دیگری که برای استفاده از مقاومت های متال مطرح است حداکثر دانسیته جریان آنها (حدوداً یک میلی آمپر بر میکرون عرض) است. با توجه به مقدار جریان این شاخه (٦ میلی آمپر) استفاده از مقاومت های فلزی به دلیل محدودیت سطح عملی نیست.

۳-استفاده از مقاومت های پالی ناخالص[1] با مقاومت بر واحد سطح ۷/۹ اهم که در نهایت نردبان مقاومتی با این مقاومت ها ساخته شد. برای بالا بردن تطابق سطح هرمقاومت برابر میکرون مربع در نظر گرفته شد و به منظور کاهش تولرانس هر مقاومت از موازی کردن ۸ مقاومت با نسبت طول به عرض بیش از ساخته شد. مقاومت ها در چهار ردیف پیاده سازی شدند ودر دو طرف به فاصله برابر، مقاومت های مجازی[2] با عرض برابر با مقاومت های اصلی وطول کمتر قرار داده شدند.

٦-۱-۵ مقایسه گر

در طراحی لی اوت برای مقایسه گر، تطابق بین دو مسیر ورودی اهمیت خاصی دارد. هرگونه تفاوت بین خازنهای پراکندگی دو مسیر می‌تواند منجر به بوجود آمدن افست دینامیک شود. از این رو در طراحی لی اوت مربوط به مقایسه گر دقت زیادی در یکسان بودن دو مسیر ورودی بکار رفته است و

[1]- Poly Salicide

[2] -Dummy resistors

با استخراج خازن‌های پراکندگی و انجام شبیه سازی بر پایه لی اوت[1] مکرر، از تطابق دو مسیر اطمینان لازم حاصل شده است.

٦-١-٦ مدار بایاس

در طراحی مدار بایاس، سعی شده است حتی‌الامکان از ساختارهای مشابه مدار اصلی برای طراحی مدار بایاس مربوط به هر قسمت انجام شود. همچنین لی اوت مربوط به مدار بایاس به دو بخش عمده PMOS و NMOS تقسیم شده بصورتی که همهٔ ترانزیستورهای PMOS در یک چاه[2] مشترک قرار داده شده‌اند (به استثنای ترانزیستورهایی که پایه[3] آنها به ولتاژی غیر از V_{DD} وصل می‌شود). برای طراحی لی اوت مدار تنظیم بهره خودکارکه جزیی از مدار بایاس است، از بلوک‌های کاملاً مشابه مدار مشابه مدار اصلی برای سلول‌های فولدینگ نوع NMOS و PMOS و منبع جریان ثابت NMOS استفاده شده است. در طراحی مدار لی اوت تقویت کننده عملیاتی این بخش نیز دقت لازم برای تطابق ترانزیستورهای ورودی بکار رفته است.

٦-١-٧ سایر بخش‌ها

در طراحی لی اوت بخش‌های دیگر شامل مدار مبدل درشت گام و دکودر که عمدتاً عملکرد دیجیتال دارند، در نظر گرفتن تطابق چندان ضروری نیست. در طراحی این قسمتها توجه عمدتاً به ساده‌تر

[1] Post-Layout Simulation

[2] -Well

[3] -Substrate

شدن لی اوت، کاهش خازن‌های پارازیتیک مربوط به مسیرهای ارتباطی و ایزولاسیون از قسمتهای آنالوگ معطوف بوده است.

٦-٢ استراتژی چیپ

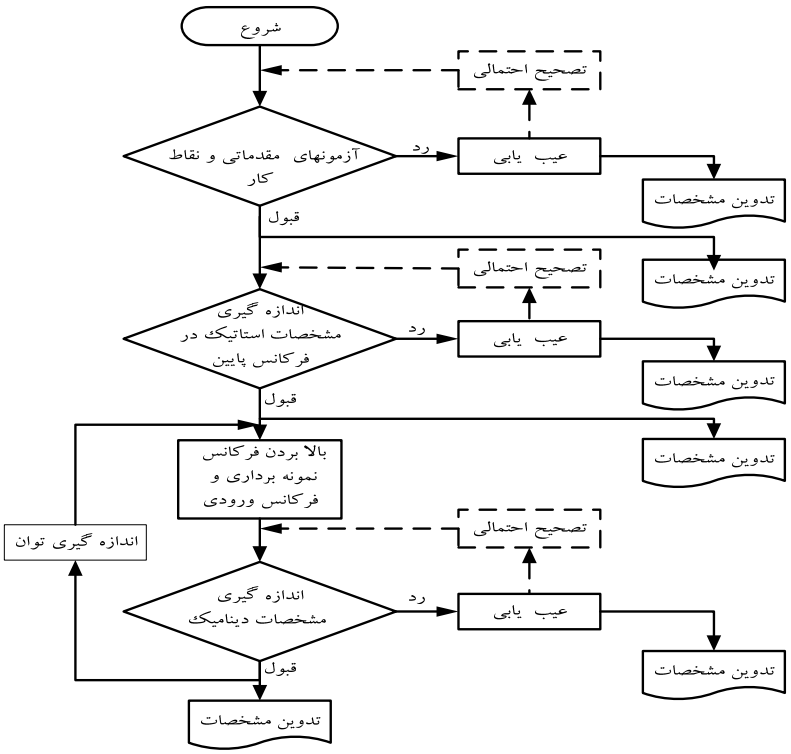
منظور از استراتژی چیپ[1]، مجموعهٔ پیش بینی هایی است که در جهت به حد اقل رساندن امکان عدم کارکرد مطمئن چیپ ساخته شده باید در نظر گرفته شود.

اولین گام در طراحی استراتژی چیپ اطمینان از کارآیی نسبی مدار طراحی شده نه تنها در شرایط نرمال، بلکه در بدترین شرایط ممکن از نظر رفتار ترانزیستورها، ولتاژ منبع تغذیه و درجه حرارت است. تفاوت این مدل ها تنها در سرعت ترانزیستورها ورفتار دینامیک مدار نیست و تفاوت ولتاژ آستانهٔ ترانزیستورها و مقاومت خروجی آنها در گوشه های پروسه، نقاط کار و رفتار استاتیک مدار را نیز تحت ناثیر قرار می دهد.

در تعیین معیارهایی برای کارکرد قابل قبول، ترتیب اولویت بصورت کارکرد استاتیک، کارکرد دینامیک و توان خواهد بود. به عبارت دیگر در درجهٔ اول مبدل ساخته شده باید بتواند با فرکانس نمونه برداری و فرکانس ورودی پایین (در حدی که مسائل مربوط به فرکانس بالا خود را نشان ندهد) کارکرد قابل قبولی از خود نشان دهد و خطای استاتیک آن اندازه گیری شود. در مرحلهٔ بعد فرکانس نمونه برداری و به دنبال آن فرکانس ورودی به سمت مقادیری که در طراحی مورد نظر بوده است بالا برده میشود و حد اکثر فرکانس نمونه برداری برای حالت های نایکویست و غیر آن اندازه گیری می شود. در هر مرحله این احتمال وجود دارد که بتوان با افزایش توان، پارامترهای دیگر را تا

[1] -Chip strategy

حدی بهبود بخشید. روند آزمون مبدل ساخته شده و استخراج اطلاعات مورد نیاز در فلوچارت شکل ٦-٤ توضیح داده شده است.



شکل ٦-٤ چگونگی آزمون مبدل ساخته شده

پس از مشخص شدن چگونگی آزمون مبدل ساخته شده، گام های بعدی عبارتند از:

- تعیین نقاط حساس مدار و میزان تاثیر آنها بر مشخصات نهایی،

- در نظر گرفتن امکاناتی برای مشاهدهٔ رفتار بخشهای داخلی و مشخص کردن منشا دقیق خطاهای احتمالی،

- در نظر گرفتن امکاناتی برای تصحیح و تنظیم رفتار بلوکهای داخلی از خارج یا داخل.

در بخشهای بعد موارد فوق را برای بلوک های مختلف مبدل بطور جداگانه بررسی خواهیم کرد.

٦-٢-١ بررسی بلوکهای مختلف مبدل از دید استراتژی چیپ

از میان بلوک های شکل ٦-١ برخی مثل مدار بایاس یا نردبان مقاومتی تاثیر مستقیم روی رفتار دینامیک مدار ندارند وامکان انتقال گره های داخلی این بخش به خارج وجود دارد. لازم به ذکر است که اتصال یک گره به پین خروجی خازن پارازیتیک آن گره را تا ٢ پیکوفاراد افزایش می دهد واین کار برای گره های حساس مجاز نیست. برای مشاهدهٔ رفتار این گره ها یا بایستی آنها را از طریق بافر به خارج انتقال داد و یا با استفاده از سوئیچ هنگام کار عادی ارتباط آنها را با پد[1] قطع کرد.

٦-٢-١-١ مدار نمونه برداری

اگر چه مجموعه مدارات نمونه برداری از جمله مدار بوت استرپ در تمامی شبیه سازی های انجام شده کارآیی خود را نشان داده است، بهتراست تمهیداتی برای مقابله با اشکال احتمالی این مدار ها در نظر گرفته شود. این کار با اضافه کردن یک سوئیچ موازی با سوئیچ اصلی که ورودی مبدل را مستقیماً به یک پد[2] متصل می کند انجام شد. گیت این سوئیچ نیز با یک مقاومت سری به بیرون چیپ منتقل گردید.

٦-٢-١-٢ نردبان مقاومتی

این مدار شامل نردبانی از ٤٣ مقاومت ٥/٢٥ اهمی سری است که از یک طرف با یک ٢/٦٢٥ مقاومت اهم به زمین و از طرف دیگر به ولتاژ مرجع ١/٥ ولتی وصل می شود. مدار در عمل ٤٤ خروجی دارد که بیرون کشیدن همهٔ آنها منطقی به نظر نمی رسد. از آنجا که ٤ خروجی پایین و ٨ خروجی بالا به سلول های فولدینگ اصلی وصل نمی شوند، بیرون کشیدن آنها ضرورتی ندارد. از طرف دیگر

[1] -Pad

[2] -Pad

بهتر است امکان تنظیم دو مقاومت ابتدایی و انتهایی از بیرون در نظر گرفته شود. اگر نیمی از گره های میانی و ٤ گرهٔ ابتدایی و انتهایی به بیرون منتقل شود، امکان تنظیم ولتاژهای مرجع بطور نسبی فراهم خواهد شد. از طرف دیگر چنانچه خواهیم دید اتصال گره های میانی به پد باعث اتصال یک تانک LC به آن گره ها و خراب کردن پاسخ زمانی میشود. در نهایت این امر مانع از بیرون آوردن گره های میانی گردید.

٦-٢-١-٣ مدار بایاس

وظیفهٔ اصلی این مدار ساختن ولتاژ بایاس برای منابع جریان مختلف به صورت زیر است:

- ٢ ولتاژ برای منابع جریان پیش تقویت کننده های PMOS

- ٢ ولتاژ برای منابع جریان پیش تقویت کننده های NMOS (یکی از این ولتاژها با کمک مدار تنظیم خودکار بهره ساخته می شود)

- ٢ ولتاژ برای منابع جریان سلول های فولدینگPMOS

- ٢ ولتاژ برای منابع جریان سلول های فولدینگNMOS

- ٣ ولتاژ برای منابع جریان ثابت NMOS

- ٣ ولتاژ برای منابع جریان ثابت PMOS

با انتقال این گره ها به خارج ، امکان کنترل نقاط کار کل مدار (البته بصورت گروهی) فراهم می آید.

٦-٢-١-٤ مدار تنظیم خودکار بهره

این مدار شامل یک سلول فولدینگ NMOS، یک سلول فولدینگ PMOS ، دو منبع جریان ثابت ویک تقویت کننده عملیاتی است. ورودی های این مدار ٤ ولتاژ مرجع و خروجی آن یکی از ولتاژ

های بایاس است. با انتقال ۲ گرهٔ داخلی این مدار (ورودی های تقویت کنندهٔ عملیاتی)وخروجی آن امکان مشاهده رفتار و کنترل کامل آن فراهم می شود.

٦-۲-۱-۵ بلوک فولدینگ

کلید اصلی در کارکرد صحیح مبدل فولدینگ ، تطابق جریان های مختلف بصورت زیر است:

۱-تطابق جریان منابع جریان سلول های فولدینگ NMOS هر بلوک با یکدیگر

۲-تطابق جریان منابع جریان سلول های فولدینگ PMOS هر بلوک با یکدیگر

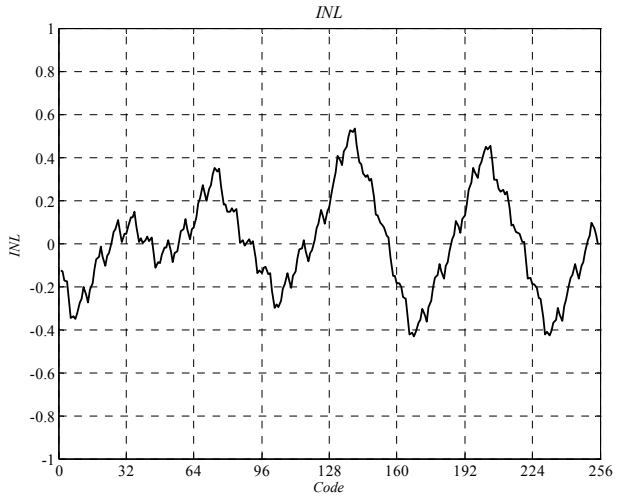
۳-تطابق جریان منابع جریان سلول های فولدینگ NMOS هر بلوک با جریان منابع جریان سلول های فولدینگ PMOS همان بلوک

٤- تطابق جریان دو منبع جریان ثابت NMOS هر بلوک با یکدیگر

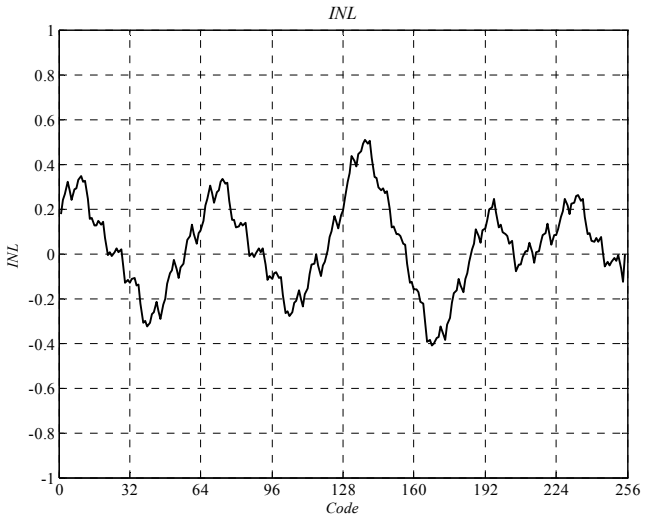
۵- تطابق جریان دو منبع جریان ثابت PMOS هر بلوک با یکدیگر

تا جایی که به طراحی مدار بر می گردد، برای ارضاء شرایط فوق اندازهٔ ترانزیستورهای تعیین کنندهٔ جریان به اندازهٔ کافی بزرگ در نظر گرفته شده است. برای اطمینان بیشتر ازاین تطابق درطراحی لی اوت ترانزیستورهای هر گروه بصورت در هم تنیده طراحی شده اند تا هر گونه گرادیان مشخصات در جهت x یا y، روی همهٔ منابع جریان به یک نسبت تاثیر بگذارد.

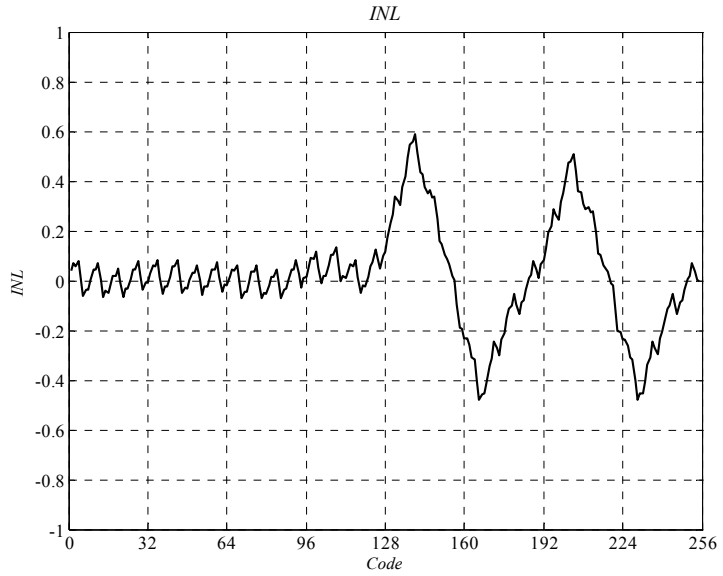
وجود هرگونه عدم تطابق در جریانهای بالا، موجب بروز یک خطای استاتیک (INL) در تمام یا قسمتی از محدودهٔ ورودی میشود که مقدار آن با میزان انحراف متناسب است . (شکلهای٦-۵ تا ٦-۸)



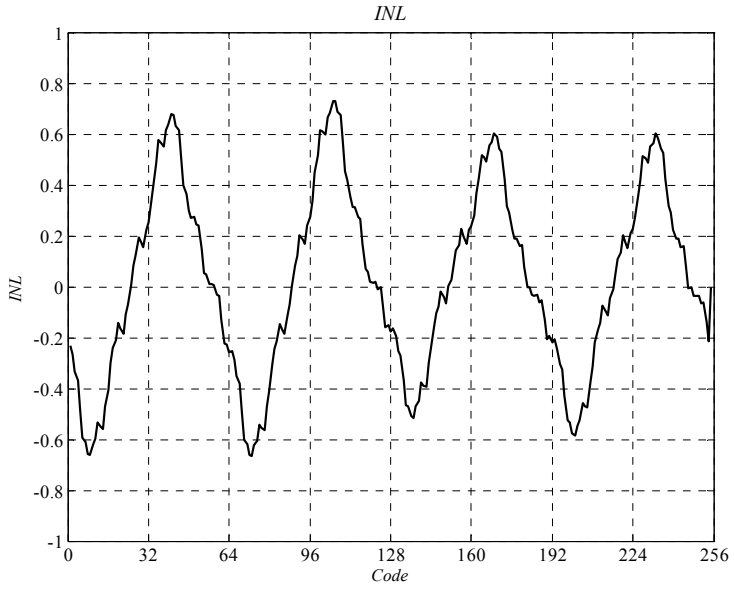
شکل ٦-٥ تاثیر انحراف یکی از منابع جریان سلول های فولدینگ PMOS به میزان ٪٥ روی مشخصهٔ INL



شکل ٦-٦ تاثیر انحراف یکی از منابع جریان سلول فولدینگ NMOS به میزان ٪٥ روی مشخصهٔ INL



شکل ٦-٧ تاثیر تفاوت جریان سلول های NMOS با سلول های PMOS به میزان ٪٥ (یکی از بلوکها) روی مشخصهٔ INL

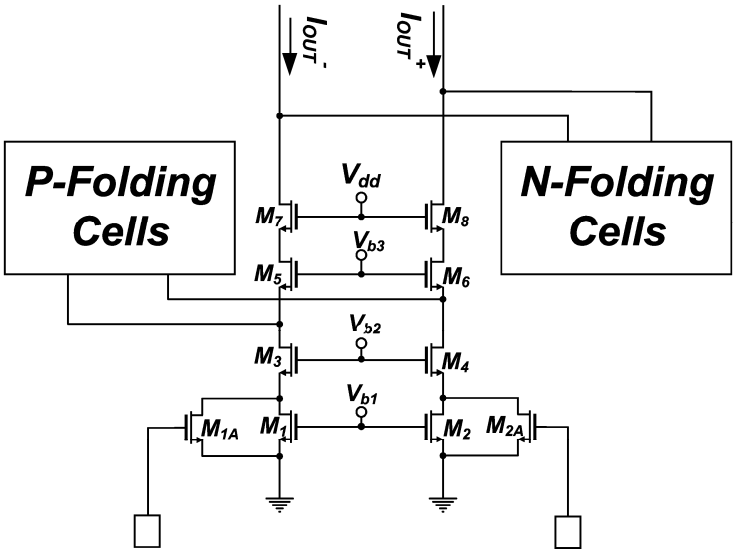


شکل ٦-٨ تاثیر تفاوت مقدار منابع جریان ثابت PMOS یا NMOS به میزان ٥ میکرو آمپر(یکی از بلوکها) روی مشخصهٔ INL

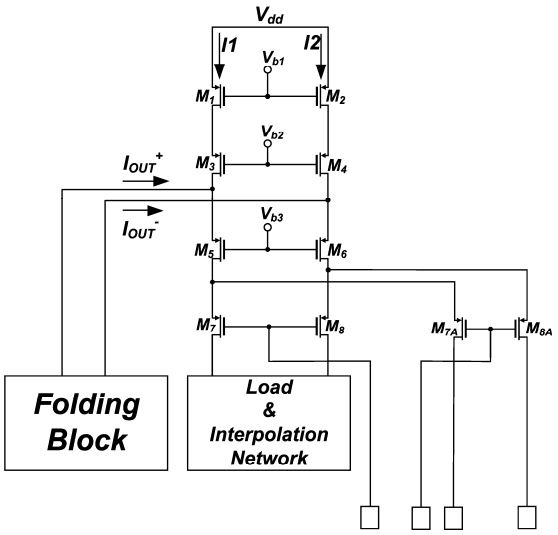
برای تصحیح انحراف در شکل های ٦-٥ و٦-٦ عملا باید جریان همهٔ ٤٤ سلول بطور مستقل قابل تنظیم باشدکه عملی نخواهد بود ولی برای تصحیح خطا در شکل٦-٧ می توان یا کنترلی که روی مدار بایاس وجود دارد تطابق لازم را ایجاد کرد.

برای تصحیح انحراف در شکل۶-۸ ، می توان امکان اضافه کردن یک افست جریان دو طرفه را به منابع جریان PMOS یا NMOS هر بلوک در نظر گرفت (شکل ۶-۹) . به این ترتیب به ازای هر بلوک ، دو پین برای اعمال این تنظیم بایستی در نظر گرفته شود.

دسترسی به خروجی های آنالوگ بلوک های فولدینگ برای بدست آوردن مشخصهٔ dc مفید است ولی همان گونه که اشاره شد این کار باعث افزایش غیر قابل قبول خازن گره های حساس خروجی خواهد شد. با اضافه کردن مداری مطابق شکل ۶-۱۰ می توان برای اندازه گیری مشخصهٔ dc یا برای عیب یابی، مسیر خروجی هر بلوک را تغییر داد و ولتاژ و جریان خروجی های کمکی را اندازه گیری کرد. این کار به در نظر گرفتن ۲ پین برای سوئیچ کردن بین مدار خروجی اصلی و کمکی و ۲ پین برای اندازه گیری ولتاژ و جریان خروجی دیفرانسیل هر بلوک (جمعاً ۱۰ پین) نیاز دارد.



شکل ۶-۹ ترانزیستورهای تنظیم جریان منابع ثابت



شکل ٦-١٠ خروجی های کمکی و مدار سوئیچ

٦-٢-١-٦ مدار مبدل درشت گام[1]

بروز اشکال در مبدل درشت گام معمولاً در یک چهارم یا یک دوم از محدوده ایجاد خطا می کند. با توجه به محدود بودن گره های میانی این بلوک می توان خروجی های مقایسه گره های آنرا (جمعاً ١٠خروجی) بافر کرده و به بیرون انتقال داد.

٦-٢-١-٧ مقایسه گر ها و دکودر دیجیتال

تعداد خروجی های مقایسه گر های مبدل ریز گام که ورودی های مدار دکودر را تشکیل می دهند، ٣٢ عدد است. انتقال همزمان این ٣٢ سیگنال دیجیتال به خارج از چیپ عملی نخواهد بود. از آنجا که وجود هر گونه اشکال در سیگنال های سرریز[2]و کف ریز[3] باعث صفر یا یک شدن دائمی همهٔ خروجی ها میشود، با استفاده از دو سیگنال کنترل خارجی امکان قطع تاثیر سیگنال های فوق در نظر گرفته شد.

---

[1] - Coarse ADC

[2] - Overflow

[3] - Underflow

٦-٢-٢ تعیین پین های ورودی و خروجی

با جمع بندی قسمتهای قبل، لیست کامل پین های چیپ نمونه بصورت زیر خواهد بود:

-تغذیه (*Vdd* و*Vss*): جمعاً ٢٦پین. لازم به ذکر است که تعدد پین های تغذیه علاوه بر تاثیر مثبت روی تاثیر متقابل قسمت های مختلف، امکان خاموش کردن بخش هایی از مدار و نیز اندازه گیری توان مصرفی هر بخش بصورت مجزا را فراهم می کند.

-ورودی اصلی و خروجی مدارنمونه برداری: ٢ پین

- خروجی های نهایی (OF, UF, D_0-D_7, Db_0-Db_7) : ١٨پین.

- ورودی پالس های ساعت: ٥ پین.

- مدار بایاس وتنظیم خودکار بهره: ٢٥پین.

- بلوک های فولدینگ: ٨ پین برای تنظیم ، ٢پین برای سوئیچ خروجی ها و ٨ پین برای خروجی های کمکی (جمعاً ١٨پین).

- مدارنردبان مقاومتی: ٤پین(٢ پین برای اتصال هر طرف به منظور کاهش اثر پارازیتیک پین ها).

- مدار مبدل درشت گام: ١٠پین.

- مدار دکودر : ٢پین.

مجموع پین های ورودی و خروجی: ١١٠پین.

با توجه به تعداد پین های محاسبه شده و محدود بودن پکیج[1] های ارائه شده از طرف سازنده تنها انتخاب موجود پکیج *CQFP 120* است. درجدول٦-١ مشخصات پایه های تراشه مبدل ودر شکل٦-١١ نحوه قرار گرفتن این پایه ها[2] دیده میشود.

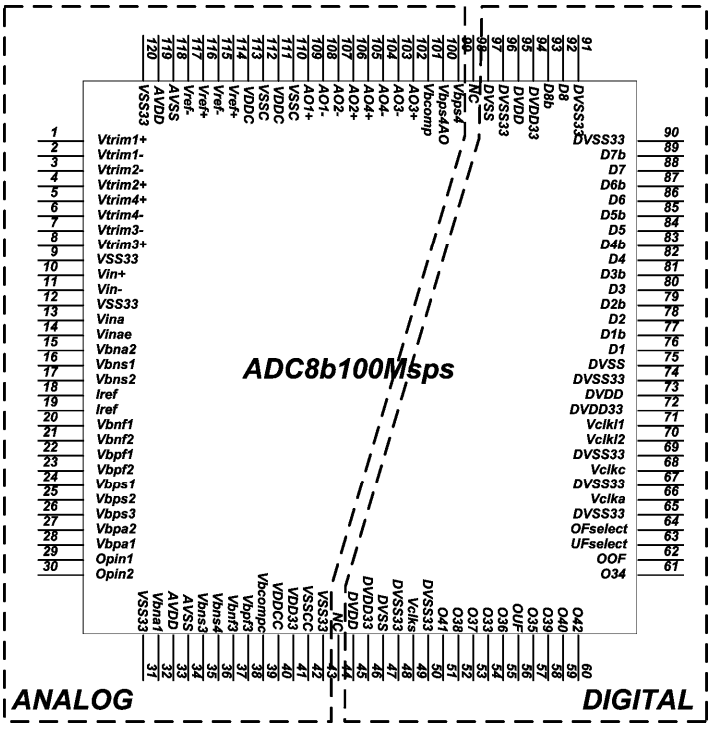
---

[1] -package

[2] -pin out

جدول٦-١- پایه های تراشه مبدل

Pin No.	Pin name	I/O	D/A	Function
1-8	$V_{trim1+}$to V_{trim4-}	I	A	Used to trimming, normally connected to AVSS
10	Vin+	I	A	Main input (positive)
11	Vin-	I	A	Main input (negative) ,connected to AVSS
13	Vina	I	A	Auxiliary input (bypass track & Hold)
14	Vinae	I	A	Auxiliary input enable, Vinae=AVDD Enables Vina Vinae =AVSS disable Vina
15-17 20-30	Vbxx	I/O	A	Internal biases , either can be used for measurement or override by connecting to dc voltages
9,12,31,4,120	VSS33	I	A	Protection GND externally connected to AVSS
34,118	AVSS	I	A	Analog OGND
33,119	AVDD	I	A	Analogy core supply 1.5 V(1.35-1.8V)
35-38	vbxx	I	A	Analogy biases, connected to AVDD and AVSS
39	Vbcomp	I	A	Reference current for coarse comparators 100-200 µA
18-19	Iref	I	A	Reference current for analog core biases, 30-100 µA
40	VDDCC	I	A	Supply for coarse comparators 15^{V}($1.3\text{-}1.8^{V}$)
41	VDD33	I	A	Protection supply voltage 3.3^{V} ($1.5\text{-}3.3^{V}$)
42	VSSCC	I	A	Coarse comparators GND, externally connected to AVSS
44, 98	NC			Not connected
46,73,95	DVDD	I	D	Supply for digital core, 1.5^{V} ($1.3\text{-}1.8^{V}$)
46,72,94	DVDD33	I	D	Supply for digital I/O, 3.3^{V} ($1.5\text{-}3.3^{V}$)
47,75,97	DVSS	I	D	Digital core GND
48,50,65,67,69 74,90,91,96	DVSS33	I	D	Digital I/O GND, externally connected to DVSS
49	VCLKS	I	D	Track and hold clock: VCLKS=1→Track VCLKS=0→ Hold
51-55, 57-61	Ox	O	D	Internal nodes of coarse ADC
56	OUF	O	D	Under flow (active low)
62	OOF	O	D	Over flow (active high)
63	UF select	I	D	Under flow enable, active low
64	OF select	I	D	Overflow enable, active high
66	VCLKa	I	D	Analog equalization clock VCLKa=1→ eq. switch closed
68	VCLKC	I	D	Comparator sample clock, positive edge trigger
70	VCLKl2	I	D	D1-D7 output larch, negative edge clock
71	VCLKl1	I	D	D1-D7 output larch, positive edge clock
76,78,80,82 84,86,88,92	D1-D8	O	D	Digital outputs
77,79,81,83 85,87,89,93	D1b-D8b	O	D	Digital outputs
99-100	Vbps4 Vbps4AO	I	A	Auxiliary/ normal output selection: Vbps4=AVDD,Vbps4AO=AVSS→ Normal Outputs Vbps4=AVSS,Vbps4AO=AVDD→ Auxiliary Outputs
101	Vbcomp	I	A	Reference current for fine comparators, 120uA (100-200)
102-109	$A01^{+}$-$A04^{-}$	O	A	Auxiliary outputs, differential currents,
110/112	VSSC	I	A	Fine comparators GND, externally connected to AVSS
111/113	VDDC	I	A	Supply for fine comparators 1.5^{V} ($1.3\text{-}1.8^{V}$)
114/116	Vref+	I	A	ADC reference Current, positive ($6\text{-}6.6^{mA}$)
115/117	Ref-	I	A	ADC reference Current, negative (connect to AVSS)



شکل ٦-١١ نحوه قرارگرفتن پایه های تراشه مبدل

استفاده از سلول های ورودی خروجی استاندارد[1] در محافظت مدار در مقابل الکتریسته ساکن[2] موثر است ولی از طرف دیگر می تواند به علت خازن های پراکندگی عملکرد مدار را بخصوص در فرکانس های بالا دچار افت نماید. سلول های ورودی خروجی دیجیتل علاوه بر حفاظت الکترواستاتیک، به عنوان درایور خروجی و یا بافر ورودی نیز عمل می کنند و نقش تغییر دهنده سطح ولتاژ سیگنال های دیجیتال را از ۱/۸ ولت (۱/۵ ولت) به ۳/۳ ولت را بعهده دارند.

با توجه به اینکه در درجه اول اطمینان از عملکرد کلی مبدل هدف ساخت چیپ بوده است، تصمیم گرفته شد از سلول های ورودی / خروجی هم در بخش آنالوگ و هم در بخش دیجیتال استفاده گردد.

[1] -Standard I/O Cells

[2] -Electro Static Discharge (ESD)

٦-٣ بررسی تاثیر پکیج[1] روی عملکرد مبدل طراحی شده

٦-٣-١ مدل پکیج:

در حالت کلی انتقال هر یک از گره های مدار پیاده شده روی چیپ به خارج از پکیج از طریق شبکه ای از المان های پارازیتیک بصورت زیر انجام می گیرد[۹۳]:

۱- خازن پارازیتیک پد به پایه[2]: مقدار این خازن برای پدهای آنالوگ ۱/٦ پیکوفارد و برای پدهای دیجیتال ۳/۵ پیکو فاراد است.

۲- مدار معادل سیم اتصال[3] شامل سلف و مقاومت که با استناد به مراجع مختلف مقدار آن به ترتیب در حدود ۱ نانوهانری بر میلی متر و ۰/۷ میلی اهم بر میلی‌متر است. با در نظر گرفتن طول ۲ میلی متر برای سیم اتصال، مقدار این المانها به ترتیب ۲ نانوهانری و ۱/۵ میلی اهم خواهد بود.

۳- مدل اتصالات داخلی پکیج[4] که تابعی از اندازه و شکل پکیج است. برای پکیج *QFP120*، مدل هر اتصال داخلی شامل المانهای زیر است[۹٤]:

- سلف اندوکتانس هر اتصال با مقدار ۱۲ نانوهانری (برای مسیرهای مرکزی) تا ۱٤/۵ نانوهانری (برای گوشه ها)
- مقاومت اتصال با مقدار ۱۲٤میلی اهم (برای مسیرهای مرکزی) تا ۱۳۵میلی اهم (برای گوشه ها)
- اندوکتانس متقابل دو مسیر کنار هم با مقدار حدود ۸ نانوهانری
- خازن معادل بین دو مسیر با مقدار حدود ۰/۹ پیکوفاراد

---

[1] -Package

[2] -Substrate

[3] -Bonding Wire

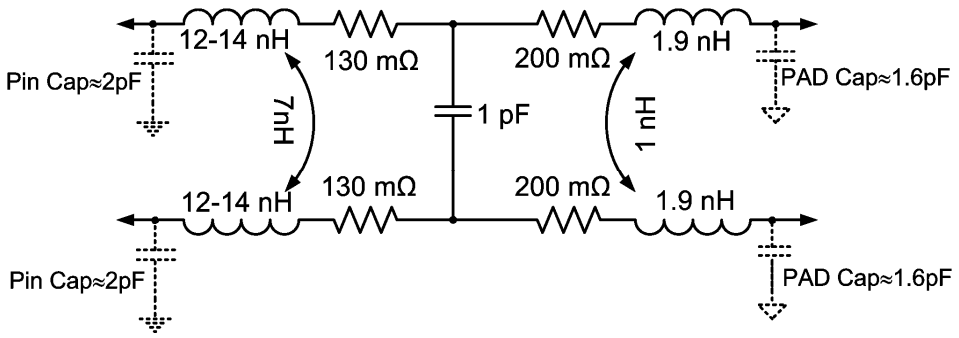
[4] -Package Leads

در عمل می توان بین اتصالات غیر مجاور نیز اندوکتانس متقابل و خازن در نظر گرفت ولـی از آنجـا که اضافه کردن این المان ها محاسبات را پیچیده می کند، از این مقادیر صرف نظر شده است.

٤- مدل پین و مسیر خارجی برد مدار چاپی[1] که بصورت یک خازن با مقـدار ۲ پیکـو فـاراد در نظـر گرفته شده است.

با در نظر گرفتن موارد بالا به مدل شکل٦-۱۲ برای پکیج مورد نظر می رسیم.

با اضافه کردن مدل بدست آمده به مدار مبدل و انجام شبیه سازی زمانی، نقاط حسـاس بـه اغتشـاش ناشی از کردن این مدل و همچنین نقاط ایجاد کننده اغتشاش مشخص گردید.



شکل ٦-۱۲ مدل دواتصال مجاور پکیج

٦-۳-۲ منابع ایجاد اغتشاش[2]

عامل اصلی تحریک مدارهای LC مربوط به مدل پکیج، تغییرات ناگهانی ولتاژ و / یـا جریـان در لبـه های پالس های ساعت است. یادآوری می کنیم که پالس های ساعت زیر بـه قسـمت هـای مختلـف مدار اعمال می شوند:

[1] -Printed Circuit Board (PCB)

[2] -Interference

- پالس های اعمالی به مدار نمونه برداری که از آن دو پالس ساعت بدون همپوشانی ساخته می شود و این دو پالس ساعت در مدار بوت استریت، یک پالس ساعت با دامنه بوت استراپ شده برای سوئیچ نمونه برداری می سازد.

- پالس های ساعت اعمالی به سوئیچ های متعادل کننده آنالوگ

- پالس های ساعت اعمالی به مقایسه گر ها

- پالس های ساعت اعمالی به حافظه های خروجی که خروجی های دیجیتال را در این حافظه ها ذخیره می کنند.

از بین این پالس ها، پالس های اعمالی به مقایسه گر ها بیشترین سهم را در ایجاد تحریک دارند. زمانی که این پالس ها مقداری نزدیک به تغذیه دارند، مقایسه گر ها در فاز خطی (تقویت[1]) قرار دارند و هر یک جریانی در حدود ۱۵۰ میکرو آمپر از تغذیه می‌کشند. در لبه پایین رونده کلاک، مقایسه انجام می شود و مقدار جریان به سمت صفر میل می کند (به علت خازن موجود در گره منبع جریان، تغییر جریان به صورت لحظه ای اتفاق می افتد) با توجه به وجود ٤٢ مقایسه گر، تغییر جریانی در حدود ۳میلی آمپر در این زمان از تغذیه کشیده می شود.

در لبه پالس های ساعت اعمال شده به حافظه های خروجی بر اساس تفاوت بین داده قبلی با داده جدید، تعدادی از بیت های خروجی تغییر علامت می دهند که این به معنی کشیده شدن جریان لحظه ای از تغذیه دیجیتال است.

پالس های متعادل کننده تغییر جریان قابل ملاحظه ای در خروجی مدار آنالوگ ایجاد نمی‌کنند و پالس های اعمالی به مدار نمونه برداری به دو صورت در ایجاد اغتشاش سهم دارند.

[1] -Preamplification Phase

۱- چنانچه ورودی نمونه برداری شده قبلی باورودی جدید اختلاف قابل توجهی داشته باشد در زمان بسته شدن سوئیچ نمونه برداری در مسیر ورودی نوساناتی ایجاد می‌شود.

۲- پالس اعمال شده به ورودی پیش تقویت کننده ها به صورت خازنی به ولتاژهای مرجع کوپل می شود و می تواند روی این گره ها ایجاد نوسان کند.

٦-۳-۳ مدارهای حساس به اغتشاش

از نقطه نظر میزان حساسیت به اغتشاش ناشی از سوئیچینگ ، بلوک های حساس عبارتند از:

۱- نردبان مقاومتی: همانگونه که در فصل ۵ اشاره شد، ثابت بودن ولتاژهای مرجع در زمان تبدیل در عملکرد دینامیک مبدل نقش بسزایی دارد. اگر مدار معادل پکیج تنها تاثیر خازنی داشت، خارج کردن گره های میانی و اتصال خازنی آنها به زمین می توانست تاثیر مثبت داشته باشد ولی با وجود سلف موجود در این مدار معادل، اتصال هر گره به خارج یک تانک LC روی آن گره ایجاد می کند که در پاسخ به تحریک به نوسان می افتد و پاسخ زمانی مبدل را به شدت خراب می‌کند.

۲- **مدار ورودی**: به علت وجود سوئیچ نمونه برداری و سلف های اتصالات پکیج، در زمان بسته شدن سوئیچ (فاز دنبالگری) ورودی دچار نوسان خواهد شد و چنانچه این نوسانات تا زمان باز شدن سوئیچ میرانشود، فاز نگهداری با خطا همراه خواهد شد.

۳- مدار بایاس: وجود اغتشاش القا شده روی گره های مدار بایاس (که به منظور اندازه گیری و کنترل به خارج منتقل شده اند به دو صورت می تواند باعث اختلال در عملکرد مدار شود:

- با تغییر مقدار جریان های بایاس منابع جریان مدار
- با القای خازنی روی گره های حساس

لازم به تذکر است که تاثیر اغتشاش مدار بایاس عمدتاً به صورت مشترک است ولی عدم تقارن در مقادیر خازن های پارازیتیک و $CMRR$ محدود می تواند باعث تبدیل آنها به اغتشاش تفاضلی گردد.

٤- مدار آنالوگ: جدا از طبقه بندی ورودی، سایر قسمتهای مدار آنالوگ ساختمان کاملاً تفاضلی دارند و حساسیت آنها به نویز و اغتشاش القایی پایین است. در مجموع برای اطمینان از کارکرد صحیح این بخش کافی است خطوط تغذیه (V_{DD}وV_{SS}) نسبت به یکدیگر حتی الامکان ثابت باشند. علاوه بر این هیچ یک از گره های داخلی این بخش مستقیماً به خارج اتصال ندارند.

٥- مدار مقایسه گرها: از آنجا که طبقه ورودی مقایسه گر بصورت تفاضلی کار می‌کند، در حالت ایده آل نوسانات روی تغذیه نباید تاثیری روی تصمیم گیری آن داشته باشد ولی در عمل چنانچه این نوسانات زیاد باشد می تواند منجر به تصمیم گیری اشتباه مقایسه گر شود.

٦-٣-٤ نحوه القای اغتشاش و راههای کاهش آن

در مجموع اغتشاش ناشی از پالس های ساعت به طریق زیر بخش های حساس را تحریک می کنند:

١- بصورت مستقیم در نقاطی که مسیرهای آنالوگ سوئیچ می شوند (مثل مدار نمونه برداری و مقایسه گر ها)

٢- از طریق القا بین سیم های اتصال پکیج

٣- از طریق پایه مشترک[1] [٩٥]

راههای کاهش تاثیر اغتشاش عمدتاً شامل کاهش حساسیت به اغتشاش، کاستن از میزان اغتشاش تولید شده و بالاخره جداسازی منبع اغتشاش و قسمت های حساس خواهد بود.

[1] -Substrate Noise

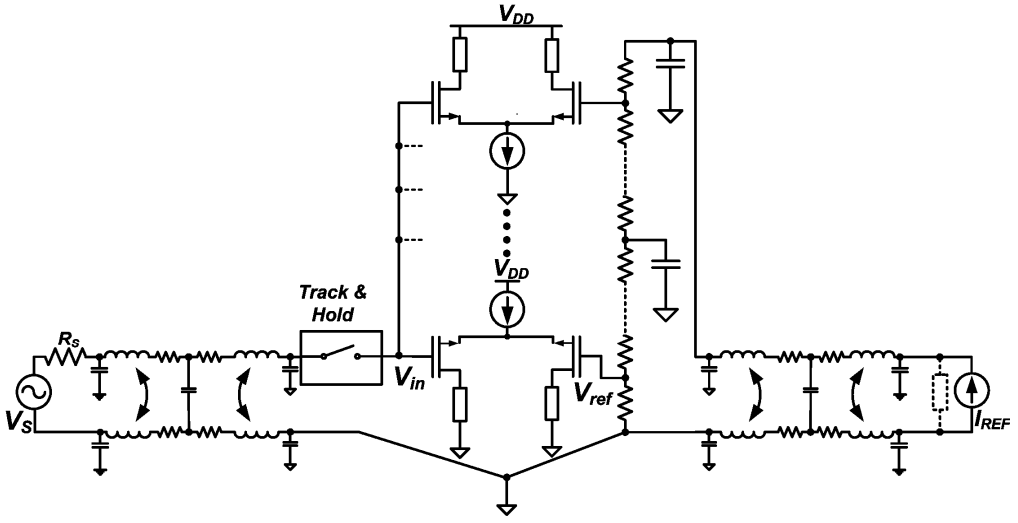
برای کاهش حساسیت مدار ولتاژهای مرجع، راهکارهای زیر مورد استفاده قرار گرفت:

۱- هرچه مقاومت سری با سلف های اتصالات بزرگتر باشد، تاثیر سلف ها در ایجاد نوسانات کمرنگ تر خواهد شد. به این منظور می توان بجای آنکه نردبان مقاومتی به یک منبع ولتاژ مرجع متصل شود، آنرا با یک جریان مرجع راند.

۲- همانگونه که اشاره شد اتصال گره های میانی و نردبان مقاومتی به خارج حساسیت به اغتشاش را افزایش می دهد و از این جهت هیچ یک از نقاط میانی به خارج متصل نشد.

۳- وجود خازنهای بزرگ بین مدار معادل نردبان مقاومتی و زمین داخل چیپ تاثیر بسزایی روی کاهش حساسیت به القای سوئیچینگ ورودی دارد. از این رو گره بالایی و گره میانی نردبان مقاومتی با استفاده از خازن ها MOS با ابعاد ۲×۲۳۰۰۰ میکرون مربع (خازن معادل ٤۰۰ پیکوفاراد) به زمین داخل چیپ وصل شد.

٤- گره پایین نردبان مقاومتی (V_{ref-}) در داخل چیپ و در یک نقطه به زمین ورودی وصل شد تا از این طریق اختلافی ناخواسته ای بین ورودی پیش تقویت کننده‌ها بوجود نیاید (شکل٦-۱۳).



شکل ٦-۱۳ کاهش اغتشاش ناشی از سوئیچینگ روی مدار ورودی و ولتاژهای مرجع

به منظور کاهش حساسیت مدار ورودی، راهکارهای زیر مورد بررسی قرار گرفت:

۱- استفاده از یک سوئیچ مجازی برای آنکه در زمان نگهداری نیز گره ورودی را به یک خازن دیگر وصل کند. اینکار در عمل باعث پیچیده تر شدن مدار می گردد و حالت گذرای لبه پالس های نمونه برداری را به طور کامل حذف نمی کند.

۲- قرار دادن یک خازن و مقاومت سری در ورودی مدار نمونه برداری، نوسانات را کاملاً برطرف می کند. چنانچه مقدار این خازن و مقاومت به ترتیب برابر خازن نگهداری و مقاومت سوئیچ باشد، فرکانس قطع مدار ورودی $\sqrt{۲}$ برابر کمتر می‌شود با توجه به این مطلب و همچنین نیاز به یک خازن بزرگ، این راه نیز عملی به نظر نمی رسد.

۳- راه حل عملی دیگر افزایش مقاومت منبع ورودی است که تا حد زیادی نوسانات را کاهش می دهد. شبیه سازی نشان می دهد با مقاومت منبع ۵۰ اهم میرایی مدار قابل قبول است.

به منظور کاهش حساسیت مدار بایاس، گره هایی که به خارج منتقل شده اند از طریق مقاومت های یک کیلواهمی به پد متصل شدند و به این ترتیب تاثیر تانک LC اضافه شده میرا می گردد.

برای کاهش میزان اغتشاش تولید شده می توان تغییرات جریان کشیده شده از تغذیه را کاهش داد. همانگونه که اشاره شد، بیشترین تغییرات مربوط به تغذیه مدار مقایسه گرها است. این تغذیه از تغذیه مدار آنالوگ جدا شده و توسط دو پین مجزا به داخل چیپ انتقال می یابد. برای کاهش تغییرات جریان این تغذیه، مداری در کنار هر مقایسه گر اضافه شد که در زمانهای قطع مسیر جریان در مقایسه گر جریانی با مقدار مساوی از منبع کشیده شود. این روش افزایش ۳ میلی آمپری در جریان متوسط تغذیه را به دنبال خواهد داشت.

علاوه بر این یک خازن MOS با ابعاد ۵۱۲۰۰ میکرون مربع(ظرفیت ٤٤٠ پیکو فاراد) در داخل چیپ روی تغذیه مقایسه گرهای اصلی قرار داده شد و با افزایش طول مسیر تغذیه قبل از این خازن، یک مقاومت ١٦ اهمی نیز در مسیر قرار گرفت که با این خازن تشکیل یک فیلتر پایین گذر می دهد. یک خازن با ابعاد ۲۳۰۰۰ میکرون مربع(ظرفیت ۲۰۰ پیکو فاراد) نیز روی تغذیه مدار مبدل درشت گام قرار داده شد.

به همین ترتیب تغذیه های دیجیتال و آنالوگ نیز با خازن های جداگانه به ترتیب مقدار ٧٦٠ و ١٠٦٨ پیکوفاراد در داخل چیپ صاف گردید. با استفاده از دو سری حافظه خروجی و اعمال پالس های همزمان به این حافظه ها، جریان کشیده شده از تغذیه دیجیتال نیز تا حد زیادی صاف می شود به منظور جداسازی بهتر منابع اغتشاش و قسمتهای حساس، پینهای قسمت دیجیتال و آنالوگ از نظر فیزیکی از یکدیگر فاصله داده شده[٩٦] و پین های مربوط به پالس های ساعت از دو طرف با اتصالات زمین احاطه شد. در دو نقطه ای که پین های قسمت آنالوگ و دیجیتال به هم می رسند، برای حفاظت الکترواستاتیک بهتر باید سلولی حاوی دیودهای پشت به پشت بین دو مسیر تغذیه آنالوگ و دیجیتال قرار گیرد. خازن معادل این دیودها اندکی از نویز قسمت دیجیتال را به تغذیه آنالوگ منتقل می کند. برای کاهش اغتشاش منتقل شده از پایه، با توجه به اینکه پایه در تکنولوژی مورد استفاده با ناخالصی کم است، عملاً موثرترین راه ایجاد فاصله بین منبع تحریک و قربانی است[٩٧]. از این دو بخش دیجیتال تا حد امکان به گوشه چیپ منتقل شد و با یک حلقه از اتصالات پایه به عرض ۲/۵ میکرون احاطه گردید.

همچنین مسیرهای انتقال پالس های ساعت با فاصله از قسمت های حساس آنالوگ در نظر گرفته شد. با این تدابیر، می توان از عملکرد قابل قبول مبدل اطمینان حاصل کرد. شبیه سازی های انجام

٦-٤ آزمون

نتایج شبیه سازی هسته مبدل طراحی شده با فرض مدار نمونه برداری ایده آل وبدون در نظر گـرفتن اثر پارازیتیک پکیج، کارکرد مبدل را تا فرکانس ۱۵۰ مگاهرتزرا تایید می‌کند. بکـارگیری مـدار نمونـه برداری پسیو از نوع سوئیچ خازن باعث ایجاد افت اندکی در مشخصه می گردد و همچنین از آنجا که تنها پکیج ارائه شده از طرف سازنده با تعداد پین لازم (۱۲۰) از نوع PQFP است که سلف و خـازن پارازیتیک بالایی دارد (١٤نانو هانری و ۲پیکوفاراد) با در نظر گرفتن تمهیدات لازم برای بـه حـداقل رساندن اغتشاش ناشی از المان های پارازیتیک پکیج پیش بینی شـد مـدار سـاخته شـده تـا فرکـانس حدود ۱۰۰ مگانمونه بر ثانیه مشخصه قابل قبولی داشته باشد. لازم به ذکر است که در ساخت نسـخهٔ اول، همواره اولویت نخست اطمینان از عملکرد صحیح طرح میباشـد ورسـیدن بـه حـداکثر سـرعت معمولاًدر نسخه های بعدی مد نظر قرار می گیرد.

پس از دریافت نمونه های تراشه مبدل، مونتاژ آن روی برد آماده و تست شده انجام گرفـت و آزمـون های زیر روی آن انجام شد.

۱. اندازه گیری ولتاژهای بایاس DC و مقایسه آنها با مقادیر شبیه سازی شده.

۲. اندازه گیری جریان مصرفی بلوک های مختلف.

۳. اندازه گیری مشخصه DC مدار آنالوگ.

٤. اعمال پالسهای ساعت و تایید کارکرد مدار دیجیتال.

۵. اندازه گیری مشخصات استاتیک مدار (INL, DNL) در فرکانس پایین.

٦. اندازه گیری مشخصات دینامیک مدار (SNDR) در فرکانس پایین.

۷. بالا بردن فرکانس نمونه برداری تا 100Msps و اندازه گیری مشخصات در فرکانس کار نامی.

۲. جریان های مرجع شامل ($I_{refccomp}$, $I_{refcomp}$, I_{vref}, I_{ref}) جریان I_{ref} یک جریان dc ثابت با مقدار نامی ۵۰ میکروآمپر (قابل تنظیم در محدوده ۳۰ تا ۱۰۰ میکروآمپر) است که جهت آن به طرف داخل تراشه است. جریان I_{vref} نیز با همین جهت و مقدار حدود۶/۲ میلی آمپر ولتاژ مرجع مقایسه مبدل را می سازد. جریان های $I_{refccomp}$ و $I_{refcomp}$ جریان‌های مرجع مقایسه گر های اصلی و مبدل درشت گام هستند که مقداری بین ۱۰۰ میکروآمپر تا ۲۰۰ میکروآمپر خواهند داشت و جهت آنها از تراشه به خارج است. نکته مهم در طراحی این منابع علاوه بر تثبیت بالاو نویز حتی الامکان کم آنها ایجاد حفاظت لازم برای تراشه است چرا که تغذیه تقویت کننده های عملیاتی سازنده این منابع جریان ۵± ولت است و خروجی آنها باید بین صفر تا AV_{DD} محدود شود.

۳. ولتاژهای بایاس قابل تنظیم: به منظور ایجاد امکان تنظیم منابع جریان ثابت داخلی، نیاز به ۸ ولتاژ قابل تظیم در محدوده ۰/٤ تا ٦/. ولت با تثبیت کافی داریم. این ولتاژها بصورت تقسیم مقاومتی از یک ولتاژ مرجع بافر شده ساخته می شود.

٤. مبدل های جریان به ولتاژ آنالوگ: خروجی های کمکی آنالوگ ٤ جفت جریان در محدوده صفر تا ٦۰ میکروآمپر است. برای تبدیل این جریانهای دیفرانسیل به ولتاژ یکطرفه از مدار شکل ٦-١٦ استفاده شده. مقاومت های استفاده شده با دقت ۰/۱٪ انتخاب شده‌اند تا عدم تطبیق آنها در مقابل دقت مبدل ناچیز باشد.

۱. برای ایجاد ورودی آنالوگ با شکل و دقت دلخواه به عنوان مثال یکی از راههای یافتن محل عبور از یک کد به کد بعدی این است که با استفاده از یک *DAC* با دقت بالاتر از مبدل تحت آزمون به یک ولتاژ آنالوگ ساخت و آنرا به تدریج افزایش (کاهش) داد تا در خروجی تغییر کد مشاهده شود. در این حالت لازم است رزولوشن *DAC* حداقل دو بیت و ترجیحاً بیش از ٤ بیت بیشتر از *ADC* باشد ولی سرعت کار آن می‌تواند پایین تر باشد.

۲. برای تبدیل خروجی های دیجیتال مبدل آنالوگ به دیجیتال به یک ولتاژ آنالوگ. هر چند این روش برای اندازه گیری نهایی ممکن است دقت کافی نداشته باشد (به دلیل مشخصه غیر ایده آل *DAC*)، ولی برای آزمون های مقدماتی بسیار مفید است. در این حالت چنانچه رزولوشن *DAC* بیش از *ADC* باشد، تعدادی از بیت های آن باید غیر فعال شود.

مبدل مورد استفاده با شماره AD9713 یک مبدل دیجیتال به آنالوگ ۱۲بیتی با سرعت حداکثر ۱۰۰ مگا نمونه بر ثانیه است که در حالت دوم با توجه به اینکه از ٤ بیت آن استفاده نمی شود، تا فرکانس ۱۰۰ مگا نمونه بر ثانیه می توان از عملکرد آن مطمئن بود.

مجموعه مدارات بالا در کنار هم قرار گرفت و مدار چاپی برد آزمون طراحی گردید. برای جلوگیری از افت سرعت، تراشه بایستی روی برد لحیم گردد. به منظور سهولت در تعویض تراشه در صورت خرابی یک برد کوچک آداپتور برای آن طراحی شد که تراشه روی آن مونتاژ می‌گردد. خازن‌های دکوپلینگ و کانکتورهای ورودی روی برد آداپتور قرار می گیرند تا کمترین فاصله را با تراشه داشته باشند. شکل ٦-۱۷ تصویر برد مونتاژ شده را به همراه جعبه حاوی ترانس ها نشان می دهد.

٤.اسپکتروم آنالایزر آنالوگ برای مشاهده طیف خروجی آنالوگ بازسازی شده و نیز اطمینان از خلوص طیفی ورودی دستگاه.اسپکتروم آنالایزر با شماره 4395A ساخت کمپانی Agilent با مشخصات ۱۰ هرتز تا ۵۰۰ مگاهرتزکاملاً مناسب این کاربرد است.

۵.فانکشن ژنراتور برای ساخت ورودی های سینوسی و دندانه اره ای با فرکانس پایین و افست dc قابل تنظیم با شماره 33120A ساخت کمپانی Agilent با محدوده فرکانسی۱ میلی هرتز تا۱۵ مگاهرتزو تنظیم دامنه با دقت ۱ میلی ولت. در خروجی سینوسی این ژنراتور در فرکانس بالاتراز یک مگاهرتز هارمونیکهای دوم و سوم با فاصله حدود ٦٠ ^{dB}- از مولفه اصلی به چشم می‌خورد که می تواند روی اندازه گیری تاثیر بگذارد و نیاز به فیلتر در خروجی وجود دارد.

٦.پالس ژنراتور برای تامین پالس های ساعت مورد نیاز: این دستگاه باید امکان ایجاد حداقل سه خروجی هم فرکانس را که تاخیر ونسبت زمانی فعال بودن[1] هر یک قابل تنظیم باشد را داشته باشد. دستگاه 81110A با دو خروجی اصلی و خروجی تریگر به این منظور کاملاً مناسب تشخیص داده شد. متاسفانه در تست عملی مشخص شد یکی از خروجی ها به برد جداگانه ای نیاز دارد که امکان تهیه آن فعلاً میسر نیست و لذا تنها دو خروجی یکی با دامنه ثابت صفر تا۳/۳ ولت ونسبت زمانی فعال بودن ۵۰٪ و دیگری با تاخیر قابل تنظیم و ونسبت زمانی فعال بودن قابل تنظیم قابل استفاده است که این می تواند محدودیت هایی در رسیدن به حداکثر عملکرد ایجاد کند. شکل٦-۱۸ مجموعه آزمون را نشان می دهد.

[1] - duty cycle

جدول٦-٢- نتایج اندازه گیری نقاط کار

Node	Measurement (V)	Simulation (tt)	Simulation (ss)	Simulation (ff)	Simulation (sf)	Simulation (fs)
iref	0.985	0.993	0.922	1.063	1.061	0.924
vbns1	0.463	0.448	0.550	0.347	0.549	0.348
vbns2	0.635	0.616	0.722	0.509	0.720	0.512
vbns3	0.875	0.857	1.080	0.634	1.077	0.637
vbps1	0.900	0.955	0.884	1.026	1.024	0.885
vbps2	0.677	0.738	0.663	0.815	0.808	0.669
vbps3	0.432	0.485	0.331	0.639	0.639	0.332
vbpf1	0.939	0.992	0.922	1.063	1.061	0.923
vbpf2	0.639	0.436	0.468	0.408	0.407	0.469
vbnf1	0.431	0.414	0.516	0.312	0.515	0.313
vbnf2	0.643	0.611	0.718	0.503	0.716	0.506
vbpa1	0.939	0.988	0.917	1.059	1.056	0.919
vbpa2	0.707	0.763	0.687	0.839	0.832	0.694
vbna1	0.464	0.427	0.528	0.324	0.529	0.324
vbna2	0.589	0.564	0.670	0.459	0.668	0.462
Mean Square Error		0.252	0.355	0.585	0.508	0.444

٦-٤-٢-٢ اندازه گیری منحنی مشخصه فولدینگ

با اعمال یک ورودی دندانه اره ای با ولتاژ صفرتا ١/٥ ولت در فرکانس پایین از طریق ورودی کمکی و مشاهده خروجی کمکی می‌توان منحنی مشخصه بلوک های فولدینگ چهارگانه را بدست آورد و بر مبنای آن بهره کلی، محل های عبور از صفر و چگونگی عملکرد مدار از تنظیم خودکار بهره را تشخیص داد. شکل های٦-١٩ و ٦-٢٠منحنی های شبیه سازی و اندازه گیری شده را نشان می دهد.

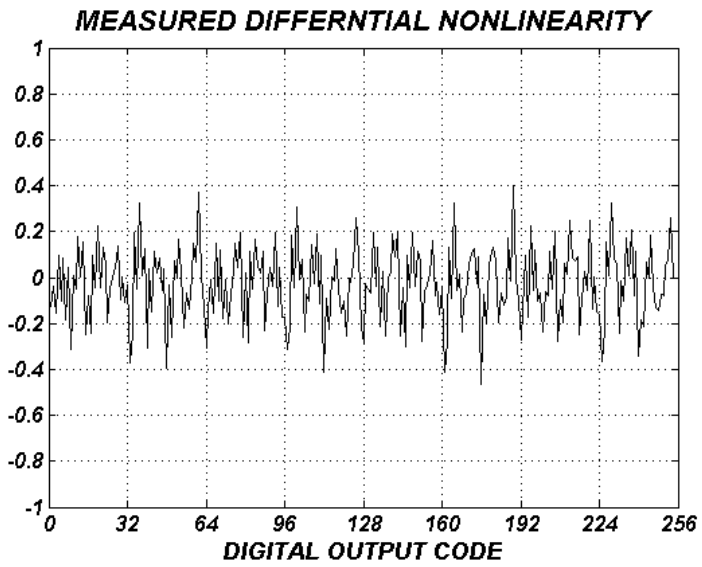
کدهای دیگر تکرار شوند تا محدوده ورودی کاملاً مشخص باشد. لازم به ذکر است که محدوده تمام مقیاس ورودی با استفاده از I_{VREF} قابل تنظیم است و در این آزمون ۱/۰۵ ولت تنظیم شده است.

پس از انتقال داده ها به کامپیوتر با استفاده از نرم افزار MATLAB و به کمک فایل ارائه شده[۹۸] توسط کمپانی MAXIM(با انجام تغییراتی برای دریافت ورودی خطی)، منحنی های INL و DNL بدست آمد.

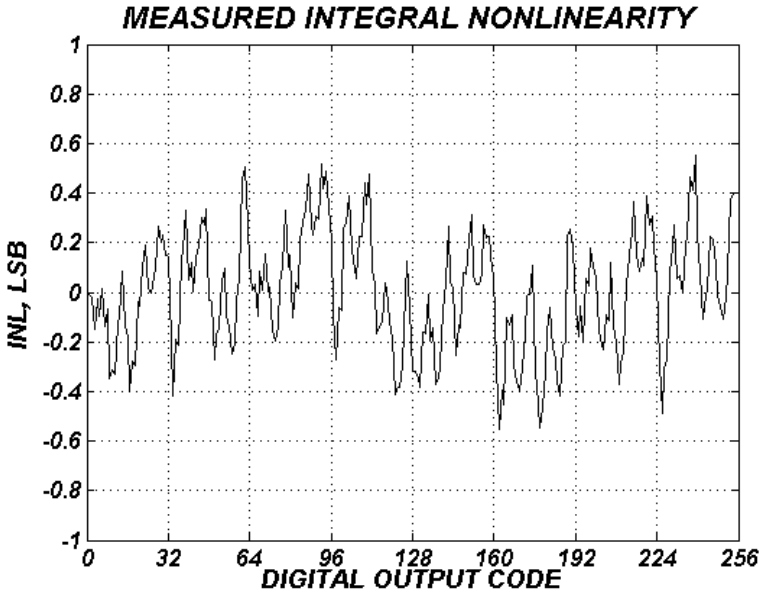
جدول٦-۳ شرایط انجام آزمون و شکل های ٦-۲۱ و٦-۲۲ نتایج بدست آمده را نشان می‌دهد. یکی از نتایج شبیه سازی با روش Montcarlo برای مقایسه در شکل های٦-۲۳ و ٦-۲٤ دیده می‌شود.

جدول٦-۳ شرایط انجام آزمون هیستوگرام و مصرف توان بخش های مختلف

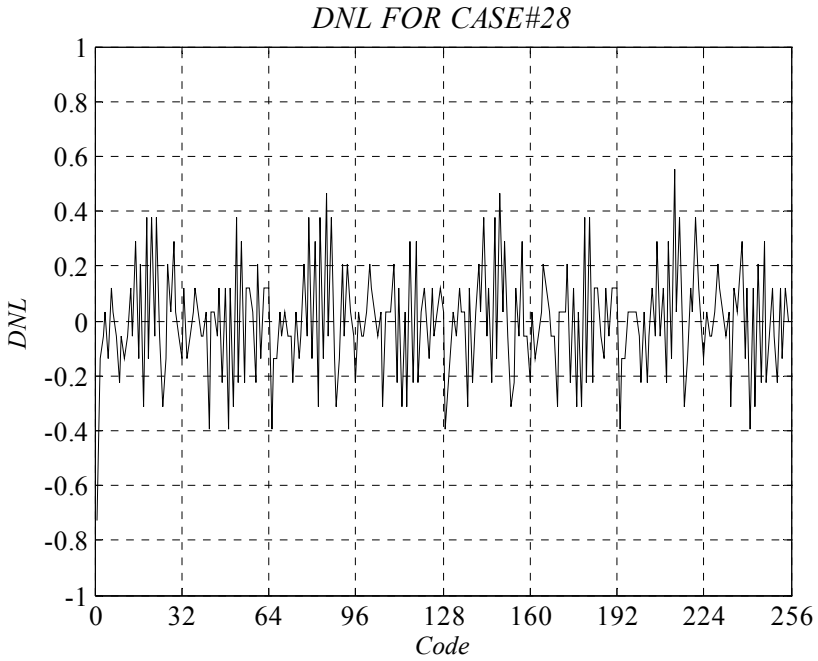
Test Method	Histogram
No of points	65536
Input:	Ramp f_{in}=153.9Hz, A_{in}=1.06 Vpp (185mV-1.240 V)
Sampling:	$f_{sampling}$=10MHz, Duty Cycle=20%, Delay=330ps
Bias Conditions:	V_{DD} (Analog, Digital)=1.5^{V}, I_{REF}=49.3^{uA}, I_{VREF}=6.29^{mA} I_{REFC}=100^{uA} , I_{REFCC}=100^{uA}
Power Consumption:	Analog Core=10mA , Fine Comparators=3mA Coarse Comparators=1.4mA, Digital Core=0.2mA Total Current=21mA (including I_{VREF}) Total Power=31.5mW



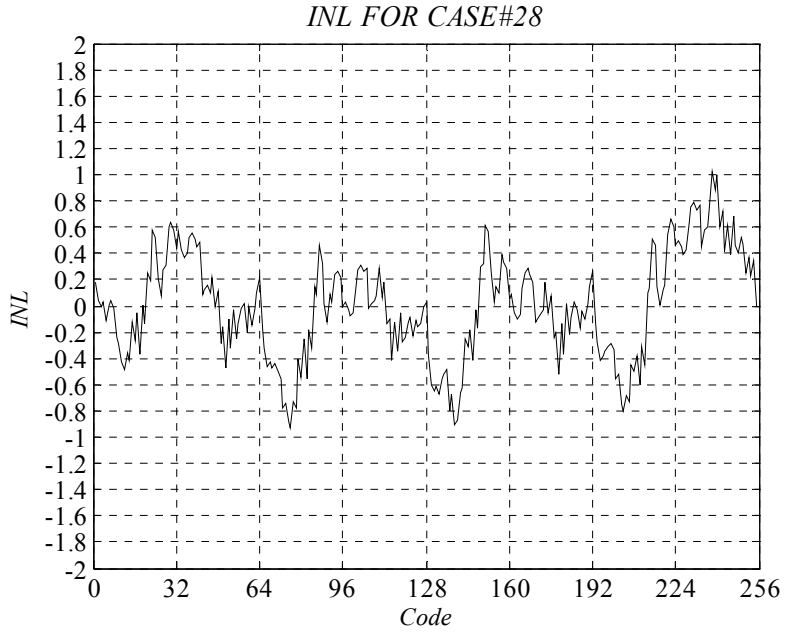
شکل ٦-٢١ DNL اندازه گیری شده



شکل ٦-٢٢ INL اندازه گیری شده

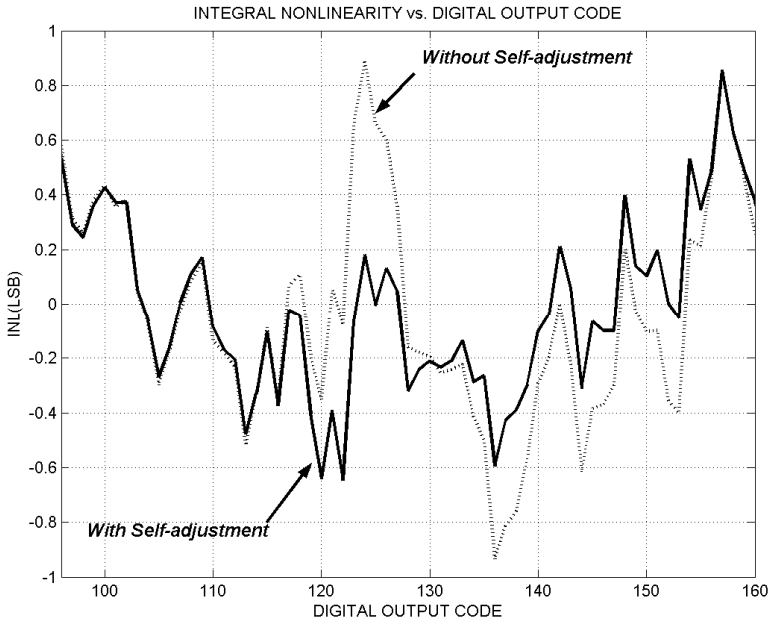


شکل ٦-٢٣ DNL شبیه سازی



شکل ٦-٢٤ INL شبیه سازی

با از کار انداختن مدار تنظیم خودکار بهره می توان تاثیر این مدار را در کاهش خطا درمحدوده کدهای میانی بررسی کرد. نتیجه اندازه گیری خطای INL در دوحالت در شکل ٦-٢٥ دیده می شود.

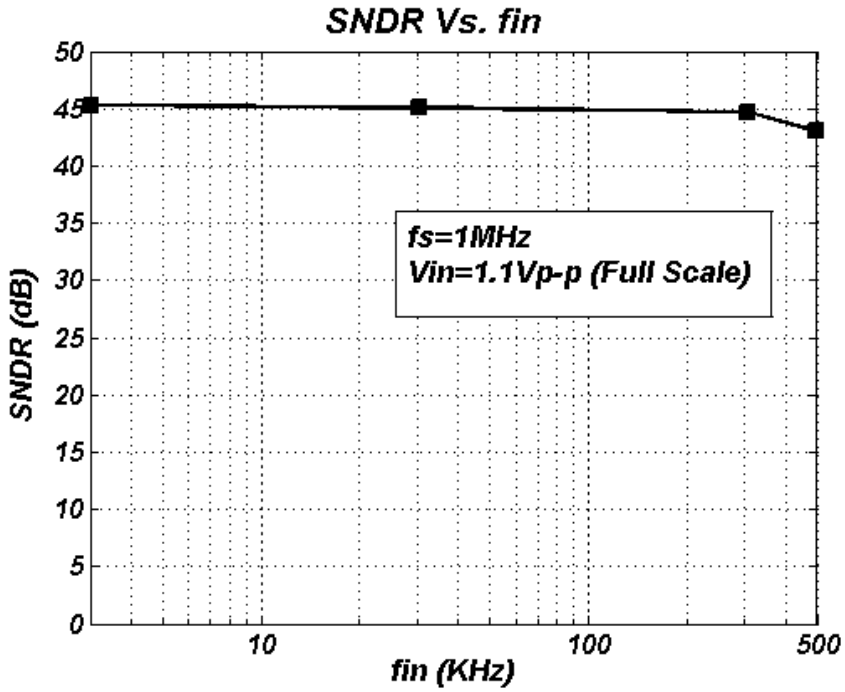


شکل ٦-٢٥ تاثیر مدار تنظیم خودکار بهره در کاهش خطا درمحدوده کدهای میانی

٦-٤-٢-٤ اندازه گیری مشخصات دینامیک در فرکانس پایین

با فرکانس نمونه برداری یک مگاهرتز و اعمال ورودی هایی با فرکانس های مختلف، رفتار دینامیک مبدل در این فرکانس بررسی شد. لازم به ذکر است در این فرکانس تاخیر لازم برای پالس های ساعت مختلف با استفاده از گیت های CMOS قابل پیاده سازی است و لاجیک آنالایزر در خواندن خروجی دیجیتال رفتار بدون خطایی از خود نشان می دهد. منحنی تغییرات نسبت سیگنال به نویز و اعوجاج[1] با فرکانس ورودی در شکل٦-٢٦ دیده می شود.

[1] -Signal to Noise and Distortion Ratio (SNDR)

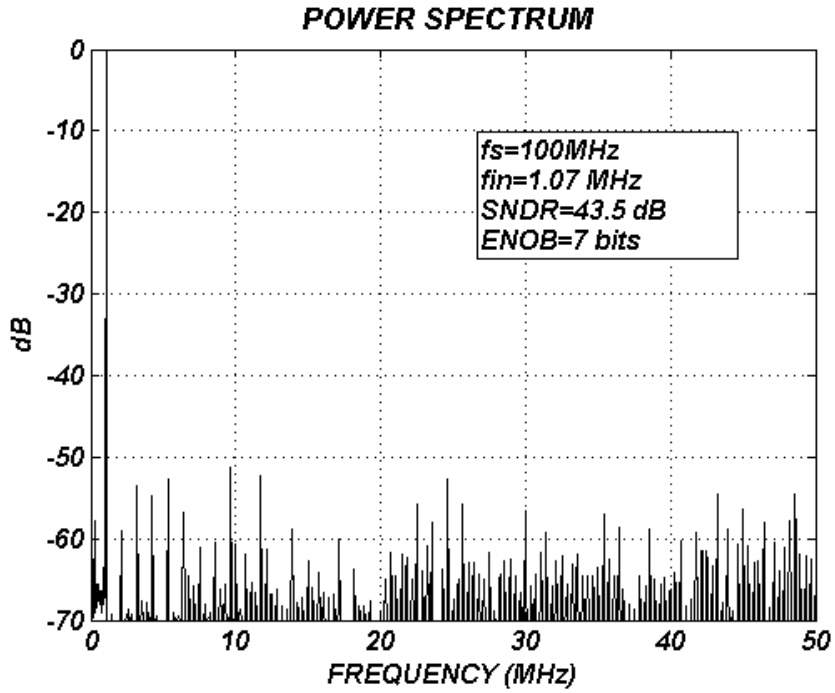


شکل ٦-٢٦ منحنی تغییرات SNDR با فرکانس ورودی

همانگونه که در شکل ٦-٢٦دیده می شود، محدوده تغییرات SNDR از DC تا فرکانس نایکویست کمتر از ۳ دسی بل (معادل نیم بیت) است.

٦-٤-٢-٥ اندازه گیری مشخصات دینامیک در فرکانس بالا

با افزایش فرکانس نمونه برداری به مقدار ۱۰۰ مگاهرتز، نتایج با روش تبدیل خروجی به سیگنال آنالوگ و با استفاده از اسپکتروم آنالایزر اندازه گیری شد. یک نمونه از طیف بازسازی شده خروجی با این فرکانس نمونه برداری در شکل ٦-٢٧ دیده میشود. با توجه به این که با این نرخ عملکرد مبدل دیجیتال به آنالوگ با خطا همراه است، برای داشتن نتایج معتبر تر فرکانس نمونه برداری تا ۸۰ مگاهرتز کاهش داده شد.



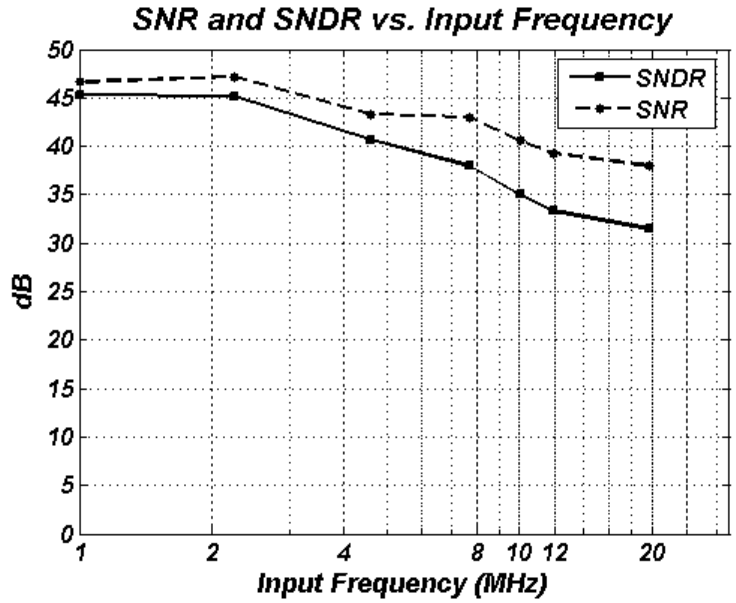
شکل ٦-٢٧ طیف خروجی بافرکانس نمونه برداری۱۰۰ مگاهرتز و ورودی ۱/۰۷ مگاهرتز

شرایط انجام آزمون وتوان اندازه گیری شده به ازای فرکانس نمونه برداری ۱۰۰ مگاهرتز بـه تفکیـک بلوک های مختلف در جدول ٦-٤ آمده است.

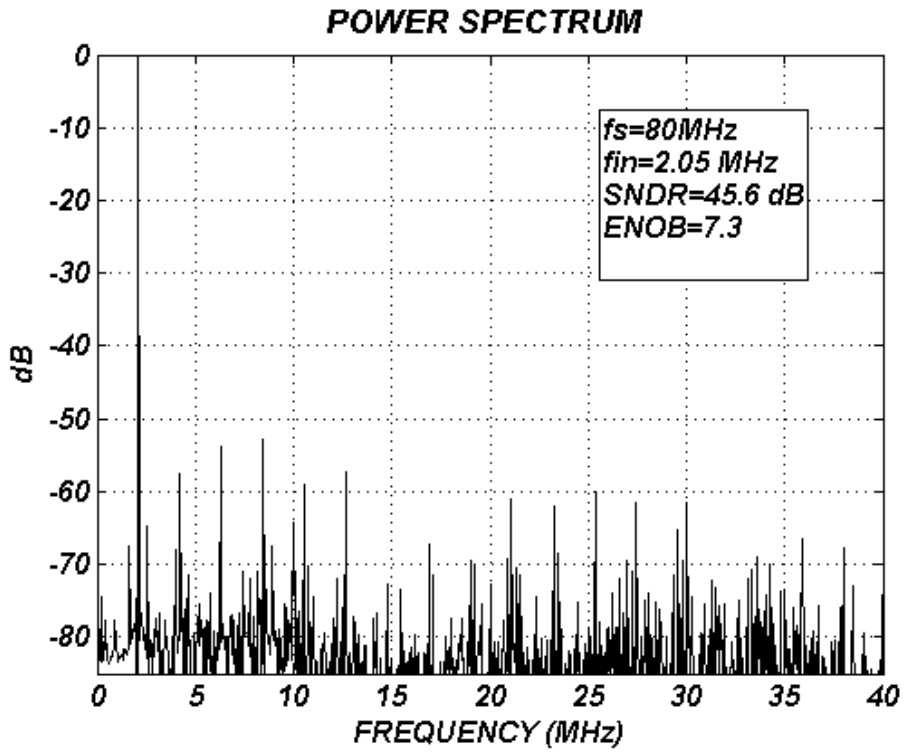
جدول٦-٤ شرایط انجام آزمون طیف فرکانسی و مصرف توان بخش های مختلف

Test Method	Power Spectrum
Input:	Sine Wave, f_{in}=1.07MHz, A_{in}=1.1 Vpp (192mV-1.280 V)
Sampling:	$f_{sampling}$=100MHz, Duty Cycle=50%, Delay=330ps
Bias Conditions:	V_{DD} (Analog, Digital)=1.5^{V}, I_{REF}=50.8^{uA}, I_{VREF}=6.5^{mA} I_{REFC}=97^{uA} , I_{REFCC}=164^{uA}
Power Consumption:	Analog Core=13mA , Fine Comparators=3.2mA Coarse Comparators=2.5mA, Digital Core=2.5mA Total Current=27.7mA (including I_{VREF}) Total Power=41.55mW

منحنی تغییرات نسبت سیگنال به نویز و اعوجاج با فرکانس ورودی در فرکانس نمونه برداری ۸۰ مگاهرتز در شکل٦-٢٨ و یک نمونه از طیف بازسازی شده خروجی در شکل٦-٢٩ دیده می شود.



شکل ٦-٢٨ منحنی تغییرات SNRوSNDR با فرکانس ورودی در فرکانس نمونه برداری ٨٠ مگاهرتز



شکل ٦-٢٩ طیف خروجی بافرکانس نمونه برداری ٨٠ مگاهرتز و ورودی ٢/٠٥ مگاهرتز

٦-٤-٢-٦ بررسی اثر کاهش ولتاژ تغذیه بر عملکرد مبدل

در شبیه سازی های انجام گرفته در مراحل مختلف از عملکرد صحیح مبدل با کاهش ۱۰ درصدی ولتاژ تغذیه (تا۱/۳۵ ولت) اطمینان حاصل شده بود. در عمل مشاهده گردید که مبدل ساخته شده با ولتاژ تغذیه ۱/۲ ولت نیز تا فرکانس نمونه برداری ۸۰ مگاهرتز بخوبی کار می کند. در این حالت محدوده ورودی در حدود یک ولت خواهد بود و مقایسه نتایج اندازه گیری ها در جدول ٦-٥ دیده می شود.

جدول٦-٥ نتایج اندازه گیری مشخصات با دو ولتاژ تغذیه ۱/۵ و ۱/۲ ولت

Resolution	8 bit	
Power Supply	1.5V	1.2 V
Conversion Rate	100 MSamples/s	80 MSamples/s
DNL	±0.35 LSB	±0.4 LSB
INL	±0.55 LSB	±0.6 LSB
SNDR	44.5 dB	43.5 dB
Input Range	1.1 V	0.9 V
Power Dissipation: Analog Digital Reference Ladder Total	 28mW 5 mW 9mW 42 mW	 20.75 mW 3.75 mW 6.25mW 30.75 mW
Input Capacitance	7 pF±0.2 pF	
Technology	0.18µm CMOS	

فصل۷ کالیبراسیون

۷-۱ مقدمه

باتوجه به شبیه سازی‌ها و اندازه گیری‌های انجام شده می‌توان کاستی‌های عمده مبدل طراحی شده را بصورت زیر خلاصه کرد:

۱- خازن ورودی مبدل مقدار زیادی دارد و رفتار آن غیرخطی است. وجود پیش تقویت کننده‌های مجازی یکی از عوامل موثر در میزان غیر خطی بودن این رفتار است.

۲- به دلیل نیاز به متوسط گیری برای کاهش تاثیر افست، چهار پیش تقویت کننده مجازی از نوع NMOS و چهار پیش تقویت کننده مجازی PMOS در میانه محدوده اضافه شده‌اند. این پیش تقویت کننده‌ها علاوه بر مصرف توان از نظر نقطه کار در شرایط مناسبی قرار نمی گیرند.

۳- سطح نسبتاً زیاد در نظر گرفته شده برای ترانزیستورهای موثر در افست ورودی (شامل ترانزیستورهای ورودی پیش تقویت کننده، ترانزیستورهای ورودی تقویت کننده فولدینگ و

ترانزیستورهای تعیین کننده جریان منابع) ، مستقیماً یا غیر مستقیم روی سرعت پاسخ زمانی سیگنال کوچک و سیگنال بزرگ تاثیر منفی دارند. با کوچک بودن دامنه خروجی آنالوگ حساسیت به افست مقایسه‌گرها نیز افزایش میابد و علاوه براین سطح اشغال شده کلی را نیز اضافه می شود.

٤- مدار تنظیم مشخصه‌های تقویت کننده‌های NMOS و PMOS که ناچار از بکارگیری آن هستیم، بخشی از سطح مدار را اشغال کرده توان مصرف می‌کند.

از آنجا که منشاء تمامی موارد بالا دقت استاتیک موردنیاز برای مبدل است، چنانچه بتوان به طریق دیگری غیر از بزرگ کردن ترانزیستورها این دقت را تامین نمود، می‌توان کاستی‌های بالا را جبران کرد.

تنظیم مشخصات مدار پس از ساخته شدن یا کالیبراسیون[1] راه حل موثری برای افزایش دقت مبدل است. روش‌های کالیبراسیون براساس ساختار مبدل متفاوت است. در مبدل‌های پایپ لاین کالیبراسیون عمدتاً در بخش دیجیتال و با تغییر مبنا[2] انجام می‌شود[۹۹][۱۰۰]. در برخی مبدل‌های فلاش، کالیبراسیون با انتخاب مقایسه‌گرهای دقیق از یک بانک مقایسه گر انجام می‌گردد[۱۰۱].

در مبدل‌های فولدینگ، کالیبراسیون عمدتاً با اندازه گیری افست ورودی و کم کردن ولتاژی متناظر با این ولتاژ از ولتاژ ورودی انجام می‌گیرد. یک روش کالیبراسیون استفاده از خازن در ورودی پیش تقویت کننده‌ها به منظور ذخیره ولتاژ متناظر با افست و کم کردن این ولتاژ ورودی است[۱۰۲].

از آنجا که این ذخیره سازی پیش از تبدیل هر نمونه بایستی تکرار شود، این روش با ایجاد محدودیت قابل ملاحظه‌ای روی سرعت نمونه برداری و تبدیل همراه خواهد بود.

---

[1] -Calibration

[2] -Changing the Radix

یک روش دیگر استفاده از مبدل دیجیتال به آنالوگ برای ساختن این ولتاژ است. به عنوان مثال اگر بین خروجی پیش تقویت کننده ورودی تقویت کننده فولدینگ مقاومت‌های قرار گیرد و با استفاده از مبدل دیجیتال به آنالوگ جریان گذرنده از این مقاومت‌ها را بتوان تغییر داد، می‌توان به هدف موردنظر دست یافت[۱۰۳].

با اجرای این روش پیش از شروع به کار مبدل و ذخیره کدهای محاسبه شده برای کالیبراسیون در یک حافظه دیجیتال، مبدل می تواند بدون محدودیت سرعت نمونه برداری و تبدیل را انجام دهد.

مشخص است که باتوجه به ابعاد و توان مصرفی مبدل‌های دیجیتال به آنالوگ و مدارهای جانبی این روش با افزایش توان و احتمالاًسطح همراه خواهد بود.

در این پژوهش یک روش جدید برای کالیبراسیون مبدل فولدینگ ارائه شده است که تقریباً بدون افزایش توان مصرفی و اشغال سطح کم خطاهای عمده ناشی از عدم تطابق استاتیک المان‌ها را جبران می‌سازد و امکان افزایش سرعت نمونه برداری را فراهم می‌آورد. در این فصل پس از اشاره ای مختصر به تاثیر عدم تطابق[1] المانها روی مبدل فولدینگ، به معرفی روش ابداع شده و چگونگی طراحی، پیاده سازی و اندازه گیری مشخصات آن خواهیم پرداخت.

۷-۲ تاثیر عدم تطابق روی مبدل فولدینگ

یک صورت کلی از یک بلوک فولدینگ یک طبقه در شکل ۷-۱ نشان داده شده است. از آنجا که هر سلول مستقیما روی یکی از نقاط عبور از صفر خروجی تاثیر دارد، برای بررسی اثر عدم تطابق کافی است یک مسیر ورودی به خروجی را در نظر بگیریم.

[1]-Mismatch

تعریف پارامترهای رابطه شکل ۷-۲ به صورت زیر است:

V_{offP} ولتاژ افست ورودی پیش تقویت کننده، V_{offF} ولتاژ افست ورودی زوج دیفرانسیل اصلی، A_P بهره تقویت کننده ، ΔI_{CS} اختلاف جریان دو منبع جریان ثابت، ΔI_{SS} انحراف مقدار جریان منبع جریان هر سلول از مقدار ایده آل، gm_F ترارسانایی زوج دیفرانسیل، ΔR_O میزان عدم تطابق بین بارهای خروجی، I_O بخش مشترک جریان خروجی، $V_{off_{COMP}}$ ولتاژ افست ورودی مقایسه کننده و A بهره کلی که به صورت زیر تعریف می شود:

$$A = A_P . gm_F . R_O \qquad (۲-۷)$$

۷-۳ راه حل ارا ئه شده برای حذف خطای ناشی از عدم تطابق

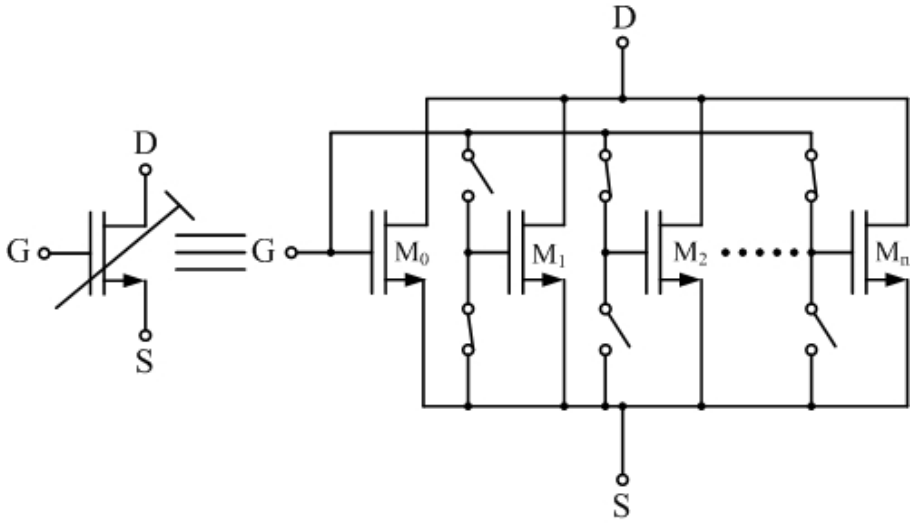
در یک تقویت کننده دیفرانسیل با بار مقاومتی افست ورودی از رابطه زیر محاسبه می شود[۱۰٤]:

$$V_{off} = \frac{(V_{GS} - V_{th})}{2}\left(\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{W/L}\right) - \Delta V_{th} \qquad (۳-۷)$$

از میان پارامترهای مختلف این رابطه ، $\Delta(W/L)$ می تواند با استفاده از یک ترانزیستور قابل تنظیم[1] مطابق شکل ۷-۳ تنظیم شود[۱۰۵].

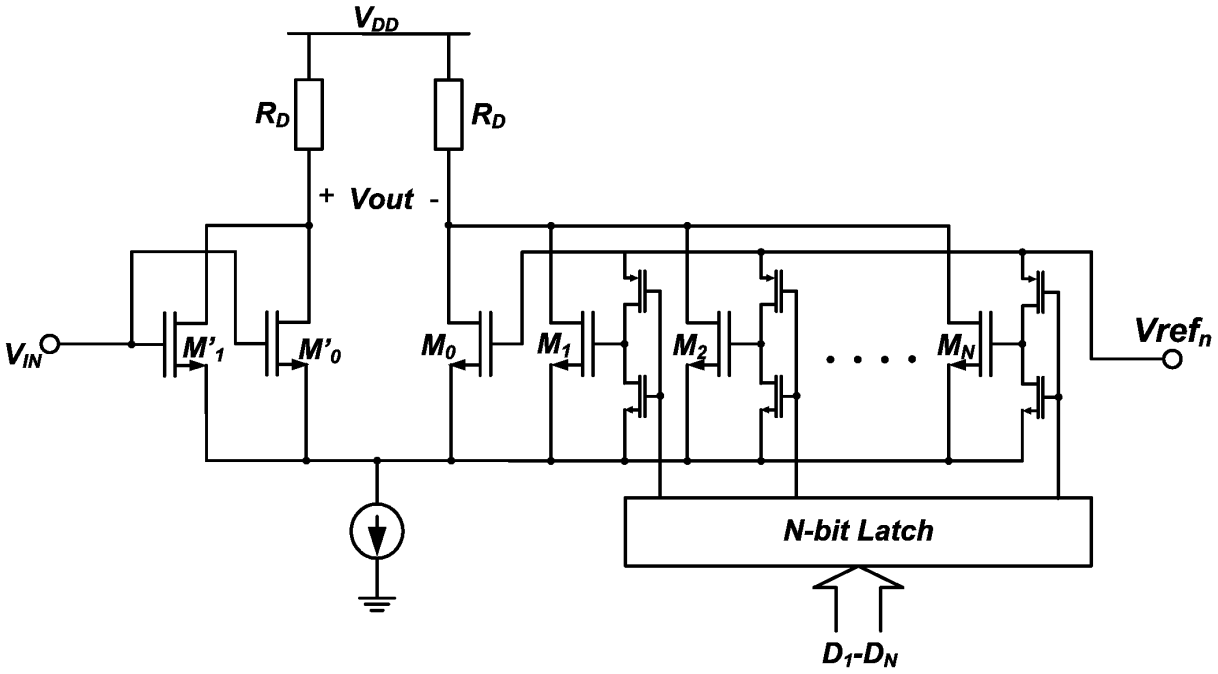
یک ترانزیستور قابل تنظیم از تعدادی ترانزیستور موازی با اندازه های متفاوت تشکیل شده است که هر یک با استفاده از دو سوئیچ می تواند به مدار وارد شود و در مجموع نقش یک ترانزیستور با W/L قابل تنظیم را بازی می کند.

[1] - Trimmable MOSFET



شکل ۷-۳ N-bit Trimmable MOSFET

اگر یکی (یا هر دو) ترانزیستور پیش تقویت کننده با ترانزیستور قابل تنظیم جایگزین شوند این مجموعه به عنوان یک مبدل دیجیتال به آنالوگ عمل می کند که یک ورودی دیجیتال N بیتی را به یک افست ورودی تبدیل می کند (شکل۷-٤).



شکل ۷-٤ مبدل دیجیتال به افست

اگر W/L ترانزیستور های موازی به صورت زیر انتخاب شوند:

$$\begin{aligned}(W/L)_{M0} &= (W/L)_0,\\ (W/L)_{M1} &= (W/L)_1,\\ (W/L)_{M2} &= 2.(W/L)_1,\cdots,(W/L)_{MN} = 2^N.(W/L)_1\end{aligned} \qquad (٤-٧)$$

محدودهٔ افست ورودی مقدار زیر خواهد بود:

$$|V_{offout}| \le \sqrt{\frac{I_0}{4k'(W/L)_0}}\,\frac{2^{N-1}(W/L)_1}{(W/L)_0} \qquad (٥-٧)$$

و اندازه هر پلهٔ تغییرات[1] افست مقدار زیر را داراست:

$$V_{step} = \sqrt{\frac{I_0}{4k'(W/L)_0}}\,\frac{(W/L)_1}{(W/L)_0} \qquad (٦-٧)$$

در رابطه فوق I_0 جریان منبع زوج دیفرانسیل است .

٧-٤ آلگوریتم حذف خطای ناشی از عدم تطابق

با توجه به اینکه هدف نهایی حذف افست رسیدن به شرایط رابطه (٧-١) است ، روند زیر برای رسیدن به این هدف مناسب وبه راحتی قابل پیاده سازی خواهد بود[١٠٦]:

١- ورودیهای هر سلول $(V_{IN}\ V_{refn})$ به هم وصل می شوند تا شرط $V_{IN} = V_{ref_i}$ تحقق یابد.

[1] -Step

۲–افست قابل تنظیم در منفی ترین مقدار خود قرار داده می شود. این مقدار باید طوری طراحی شده باشد که از حد اکثر افست ناشی از عدم تطابق بیشتر باشد:

$$\frac{V_{Full\ Scale}}{2} \geq n.V_{off_{IN}} \qquad (۷–۷)$$

n در رابطه بالا برای اطمینان ۹۹/۵ درصد مقدار ۳ وبرای اطمینان ۹۵ درصد مقدار ۲ خواهد داشت.

۳– افست قابل تنظیم به تدریج با پله های $(1/2^N).V_{Full\ Scale}$ افزایش داده می شود تا هنگامی که خروجی از صفر عبور کند. (خروجی مقایسه کننده تغییر حالت دهد).

٤– آخرین مقدار ورودی دیجیتال در یک حافظه ذخیره میشود و اتصال ور ودی ها قطع می گردد.

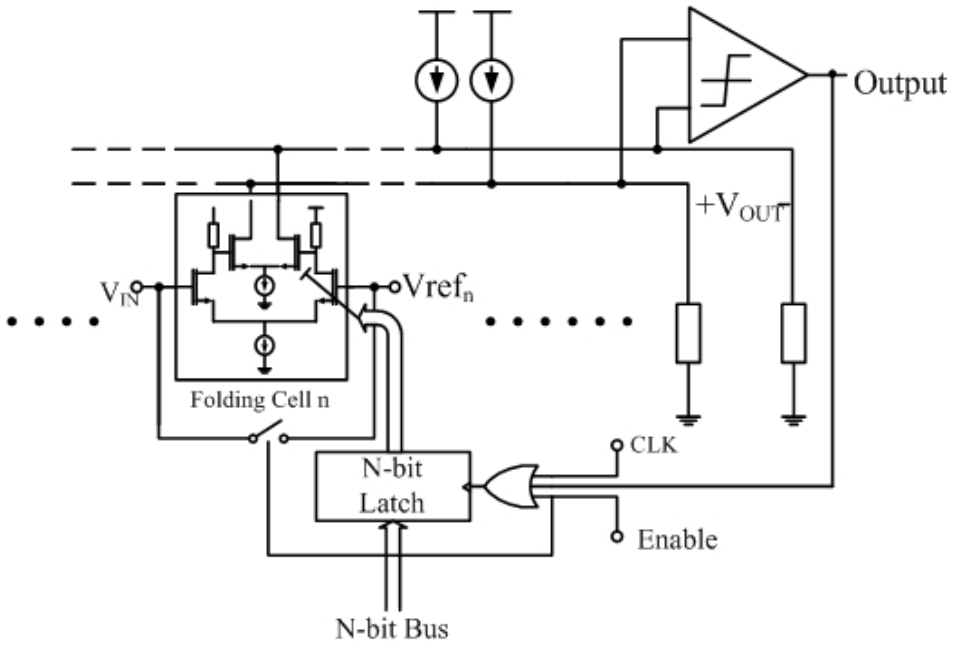
تعداد بیت های تنظیم با توجه به حد اکثر خطای INL مجاز تعیین می گردد:

$$INL_{\max} = \frac{\frac{V_{FullScale}}{2^N}}{LSB} \Rightarrow N = \log_2(\frac{V_{FullScale}}{INL_{\max}.LSB}) \qquad (۸–۷)$$

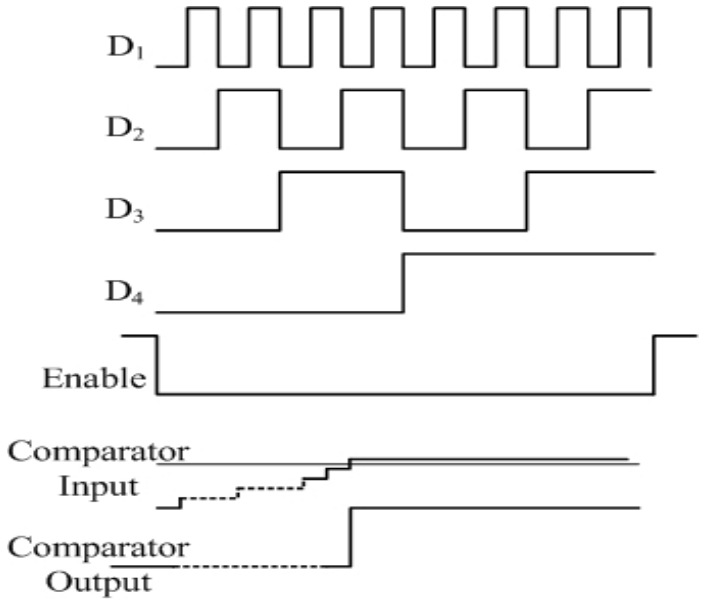
روند بالا برای هر یک از سلول های فولدینگ تکرار می شود. لازم به توضیح است که این روش خطای ناشی از عدم تطابق استاتیک را حذف می کند لذا کافی است یکبار در هنگام آغاز به کار مبدل اجرا گردد.مدار خلاصه شده حذف افست در شکل ۷–۵ و شکل موج های نمونه در شکل ۷–٦ دیده می شوند.

روش فوق از سرعت و سادگی برخوردار است و مدارات لازم برای پیاده سازی آن جای کمی اشغال می‌کند. در عین حال نقطه ضعف آن حساسیت به نویز و عدم قطعیت مقایسه گر است. به این ترتیب که در لحظه‌ای که مقایسه گر رسیدن افست به صفر را تشخیص می‌دهد، ممکن است افست بطور کامل جبران نشده باشد و عبور از صفر تحت تاثیر نویز یا تصمیم گیری غلط مقایسه گر تشخیص داده شود. همچنین اگر ارتباط خروجی‌ها با شبکه درون یابی قطع نشده باشد، مقدار خروجی علاوه

بر ورودی پیش تقویت کننده‌ای که در حال کالیبره شدن است، تحت تاثیر خروجی بلوک‌های مجـاور نیز می‌باشد. به منظور بالا رفتن دقت کالیبراسیون در این روش می‌توان روند کالیبراسیون را بـه تعـداد کافی تکرار کرد و متوسطی از مقادیر بدست آمده را به عنوان کـد کالیبراسـیون پـیش تقویـت کننـده موردنظر در نظر گرفت.



شکل ۷-۵ مدار حذف افست ورودی



شکل۷-٦- شکل موج های مربوط به مدار شکل۷-۵

یکی از روش‌های دیگری که استفاده از آن برای آزمون داخلی مبدل‌های آنالوگ به دیجیتال متداول است [۱۰۷] روش مبتنی بر هیستوگرام[1] است. در این روش یک شکل موج دندانه اره‌ای با دقت کافی به ورودی مبدل اعمال می‌گردد و تعداد تکرار هر کد خروجی توسط مدار کالیبراسیون ثبت می‌گردد. برمبنای این تعداد کدهای کالیبراسیون به گونه‌ای محاسبه می‌گردند که تعداد تکرار همه کدهای خروجی تا حدامکان با یکدیگر برابر گردند. روش‌هایی برای افزایش دقت و سرعت این روش پیشنهاد گردیده که از آن جمله می‌توان به اضافه کردن یک سیگنال تصادفی به سیگنال ورودی اشاره کرد[۱۰۸].

مشخص است که روش مبتنی بر هیستوگرام نسبت به روش حلقه باز از پیچیدگی بیشتری هم در بخش دیجیتال و هم برای تولید سیگنال ورودی با دقت کافی برخوردار است[۱۰۹].

البته در صورتی که عمل کالیبراسیون تنها یکبار در هنگام ساخت انجام گیرد و کدهای کالیبراسیون در حافظه‌های پاک نشدنی ذخیره شود، این امکان بوجود می‌آید که مدارهای کالیبراسیون از داخل چیپ حذف شوند و تنها خطوط آدرس و دیتا به بیرون انتقال یابند. دراین حالت امکان پیاده سازی الگوریتم‌های دقیق و پیچیده براحتی توسط کامپیوتر فراهم می‌آید.

۷-۵ پیاده سازی مداری مبدل فولدینگ با استفاده از کالیبراسیون

در مبدل اصلی طول و عرض ترانزیستورهای ورودی پیش تقویت کننده به ترتیب ۰/۳ میکرون و ۱۰۰ میکرون در نظر گرفته شده بود.

[1] -Histogram based Calibration

با در نظر گرفتن امکان کالیبراسیون اندازه این ترانزیستورها به ۰/۱۸میکرون در ٤٠ میکـرون و انـدازه ترانزیستورهای تقویت کننده فولدینگ به ۰/۱۸ میکرون در ۱۸ میکرون کـاهش داده شـد. مقـدار $\frac{W}{L}$ برای ترانزیستورهای قابل برنامه ریزی ورودی پیش تقویت کننده به صورت زیر در نظر گرفته شد:

$$
\begin{aligned}
(W/L)_0 &= \frac{32\mu}{0.18\mu}, \\
(W/L)_1 &= \frac{8\mu}{0.18\mu}, \\
(W/L)_2 &= \frac{4\mu}{0.18\mu}, \\
(W/L)_3 &= \frac{2\mu}{0.18\mu}, \\
(W/L)_4 &= \frac{1\mu}{0.18\mu}
\end{aligned}
\qquad (۹-۷)
$$

به این ترتیب با فرض جریان ۸۰ میکرو آمپر برای منبع جراین پیش تقویت کننـده، حـداکثر محـدوده افست قابل برنامه ریزی و هر گام آن بصورت زیر بدست می‌آید:

$$
|V_{offout}| \le \sqrt{\frac{80\times10^{-6}}{4k'(40/0.18)}}\,\frac{\pm(8/0.18)}{(40/0.18)} = \pm13.4^{mV} = \pm2.8LSB \qquad (۱۰-۷)
$$

$$
V_{step} = \frac{2\times13.4}{16} = 1.67^{mV} = 0.35LSB \qquad (۱۱-۷)
$$

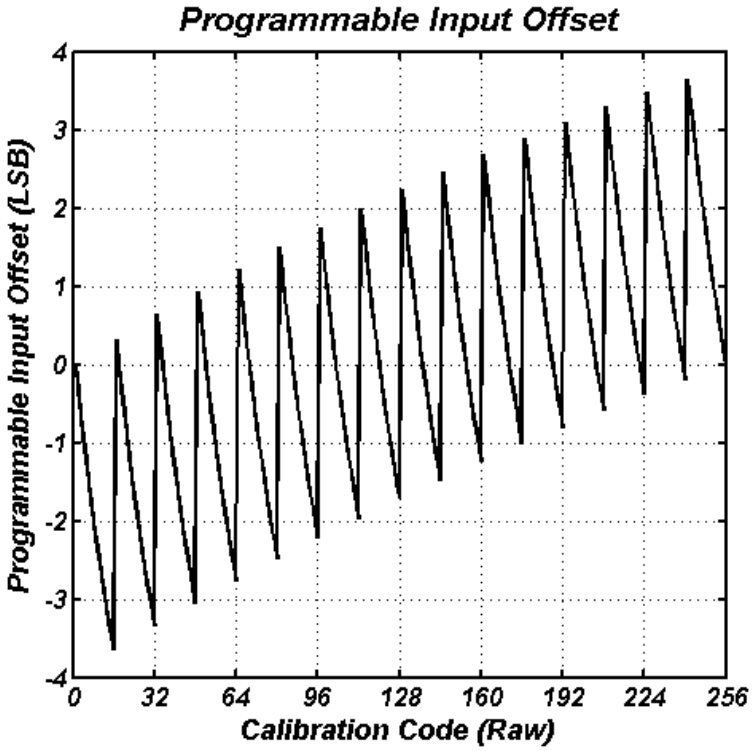
برای حفظ تقارن پیش تقویت کننده از نقطه نظر خـازن‌هـای پارازیتیـک، هـر دو ترانزیسـتور ورودی بصورت قابل تنظیم در نظر گرفته شدند. روابط بالا مربوط به حالتی اسـت کـه کـد مربـوط بـه یـک ترانزیستور ثابت باشد و کد دیگری از صفر تا ۱۵ تغییر کند. اگر امکان تغییر کد هر دو ترانزیستور در نظر گرفته شود مقدار حداکثر محدوده افزایش می‌یابد:

$$|V_{offout}| \le \sqrt{\frac{80\times10^{-6}}{4k'(32/0.18)}}\frac{(15/0.18)}{(32/0.18)} = 35^{mV} = 7.5LSB \qquad (۱۲-۷)$$

و گام تغییر افست کمتر می‌شود:

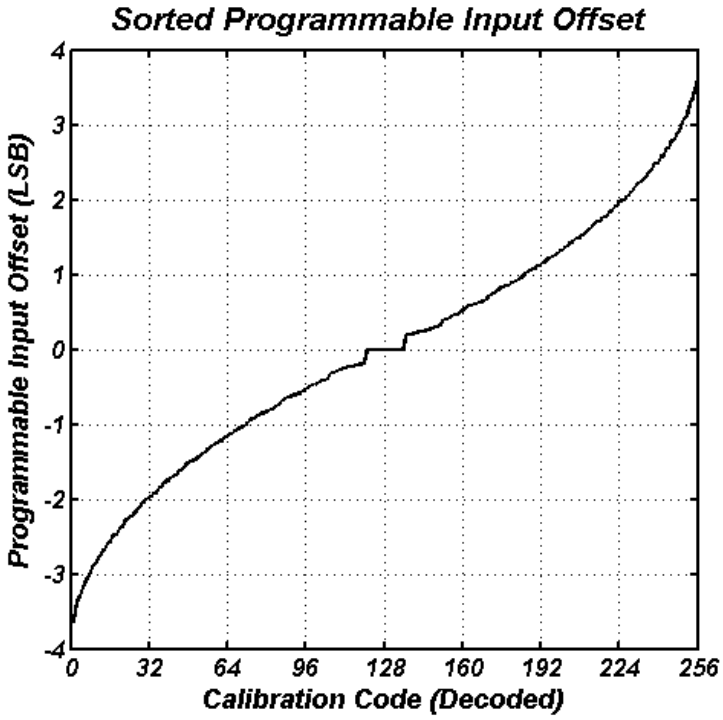
$$V_{step} = \frac{35}{256} = 0.14^{mV} = 0.03LSB \qquad (۱۳-۷)$$

بایستی توجه داشت که دراین حالت تغییرات افست با کد دیجیتال یکنواخت نیست. بـه عنـوان مثـال تمام ١٦ حالتی که W برای دو ترانزیستور برابـر باشـند مقـدار افسـت صـفر خواهـد بـود و در بقیـه حالت‌ها نیز افزایش کد دیجیتال لزوماً به افزایش افست منجر نمی‌شود. در شکل٧-٦ تغییرات افسـت برحسب کد ٨ بیتی خام دیده می‌شود.



شکل ٧-٦ تغییرات افست برحسب کد ٨ بیتی خام

چنانچه مقادیر افست از حداکثر منفی یا حداکثر مثبت مرتب شوند. تغییرات افست برحسب کد مرتب شده بصورت نمودار شکل۷-۷ درمی‌آید.

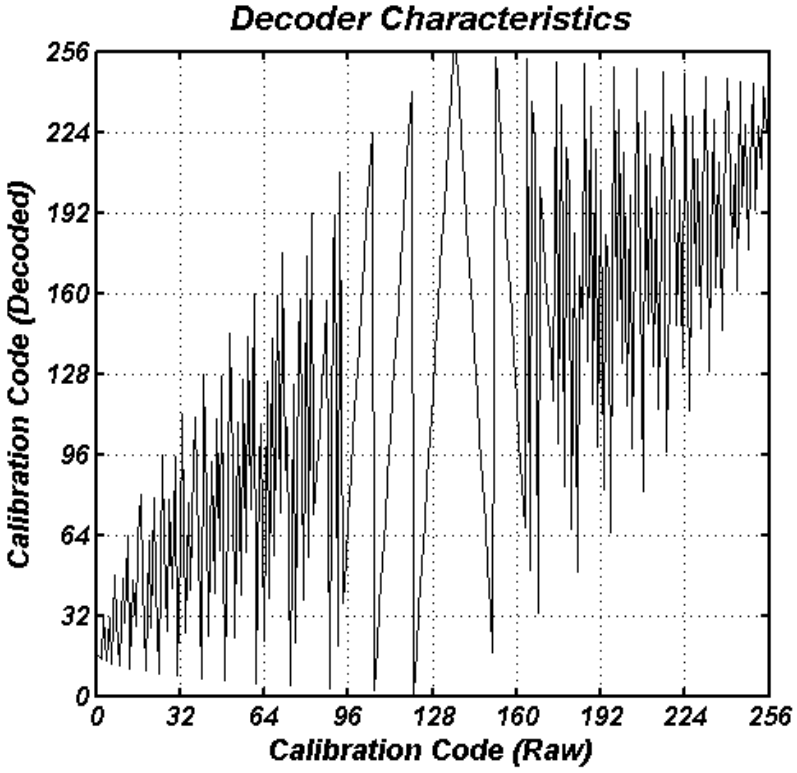


شکل ۷-۷ تغییرات افست برحسب کد ۸ بیتی مرتب شده

چگونگی ارتباط کد مرتب شده با کد خام در عمل می‌تواند در یک جدول ۲۵٦ بایستی ذخیره شود و مجموعه ترانزیستورهای قابل برنامه ریزی و مدار دیجیتال ورودی را به صورت یک مبدل دیجیتال به افست یکنواخت (هر چند غیرخطی) درآورد. شکل ۷-۸ نحوه ارتباط کدهای ورودی-خروجی این جدول را نشان میدهد.

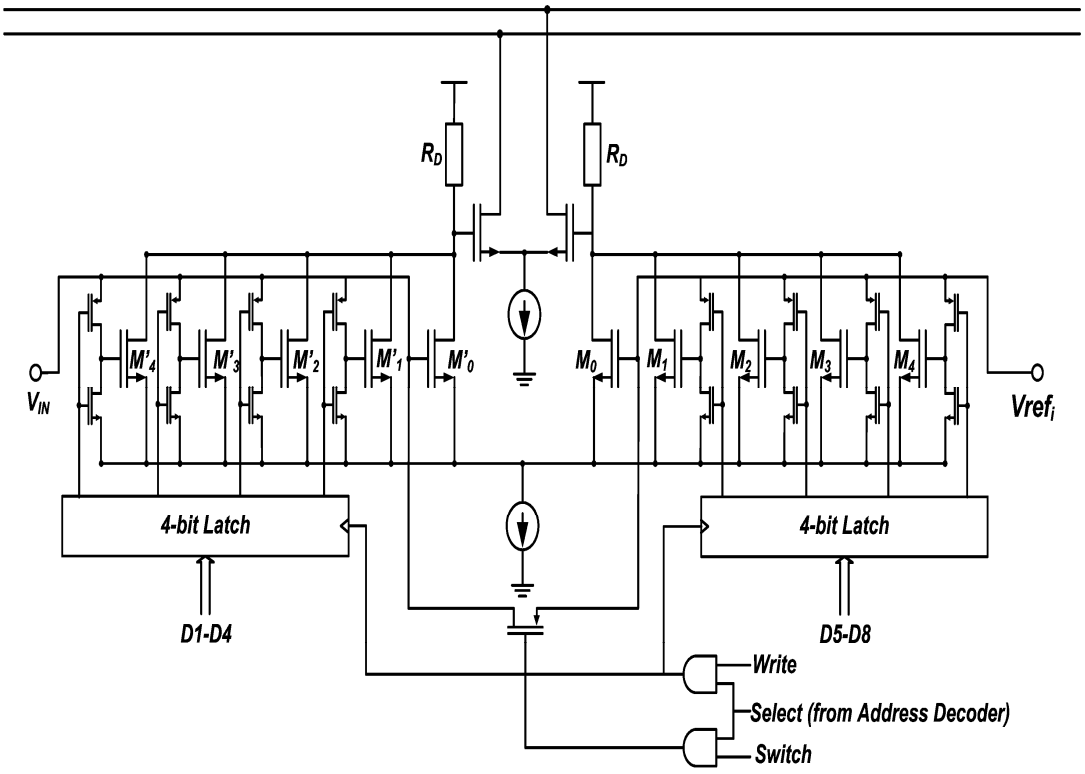
از آنجاکه درنهایت این مبدل در یک حلقه بسته به کار گرفته می‌شود، غیر خطی بودن آن مشکل خاصی ایجاد نمی‌کند ولی در عین حال این غیرخطی بودن به همراه مسایلی چون نویز وقت ایجاد ورودی مرجع تاثیر خروجی بلوک‌های فولدینگ از طریق شبکه درون یابی روی یکدیگر و بالاخره

افست مقایسه کننده‌ها و عدم تطبیق مدار درون یابی مانع از رسیدن خطای نهایی به میزان گـام تنظـیم افست LSB۰/۰۵ می گردد.



شکل ۷-۸ مشخصه جدول دکودر

از مجموع ٤٤ سلول فولدینگ بکاررفته، ۳۲ سلول داخل محدوده اصلی قرار می‌گیرند و ۱۲ سلول در خارج این محدوده قرار دارند از آنجا که کالیبره کردن سلولهای خارج از محدوده لازم نیسـت، بـرای این سلولها کد کالیبراسیون ثابت در نظر گرفته می‌شود به ایـن ترتیـب کـه حافظـه کالیبراسـیون ایـن سلولها حذف شده و ترانزیستورهای سوئیچ به طور دائمی به V_{DD} یا زمین وصل می‌شوند. برای آنکه ۳۲ سلول اصلی به طور جداگانه قابل دسترسی باشند به یک دکـور آدرس ۵ بـه ۳۲ نیـاز داریـم ایـن دکودر بصورت ترکیبی از یک دکودر ۲ به ٤ برای انتخاب بلوک موردنظر و یک دکودر ۳ بـه ۸ بـرای انتخاب سلول پیاده سازی گردید. . شکل ۷-۹ مدار ساده شده پیاده شده را نشان میدهد.



شکل ۷-۹ مدار ساده شده پیش تقویت کننده های قابل تنظیم

با انتخاب هر سلول و قراردادن یک کد ۸ بیتی روی باس داده، با اعمال یک تغییر حالت صفر به سیگنال *WR* و کد موردنظر در حافظه سلول انتخاب شده ذخیره می‌گردد. همچنین در هر سلول یک سوئیچ برای اتصال کوتاه کردن گره ورودی به گره مرجع درنظر گرفته شده است.

با فعال کردن سیگنال کنترل *SE* مرجع مربوط به هر سلولی که توسط کد ۵ بیتی آدرس انتخاب شده باشد به گره ورودی متصل می‌شود. باتوجه به اینکه گره ورودی از خارج جیپ قابل دسترس است (با استفاده از سوئیچ کمکی که مدار نمونه‌برداری را بای پاس می‌کند)، با استفاده از سیگنال کنترل *SE* و باس آدرس می‌توان به هر یک از ۳۲ ولتاژ مرجع اصلی را از خارج از جیپ دسترسی پیدا کرد و مقدار آنها را اندازه گرفت.

همچنین باتوجه به امکان درنظر گرفته شده برای دسترسی به خروجی‌های آنالوگ فولدینگ، این امکان بوجود می‌آید که نحوه عملکرد مدار کالیبراسیون با دقت مورد بررسی قرار گیرد به عبارت دیگر نحوه تغییرات خروجی آنالوگ برحسب کد کالیبراسیون اندازه گیری و با مقدار محاسبه شده مقایسه شود.

لازم به ذکر است که قسمتهای دیگر مدار شامل مقایسه گرها دکودر دیجیتال و حافظه‌های خروجی و مدار پالس‌های ساعت نسبت به مبدل اصلی تغییری نداشته و عیناً تکرار شده‌اند.

همچنین مدار تنظیم کننده بهره سلول‌های NMOS و PMOS با جایگزینی سلول‌ها برای این مبدل نیز پیش بینی شده است همانگونه که در قسمت‌های قبل توضیح داده شده، این مدار می‌تواند برای مبدل کالیبراسیون حذف شود.

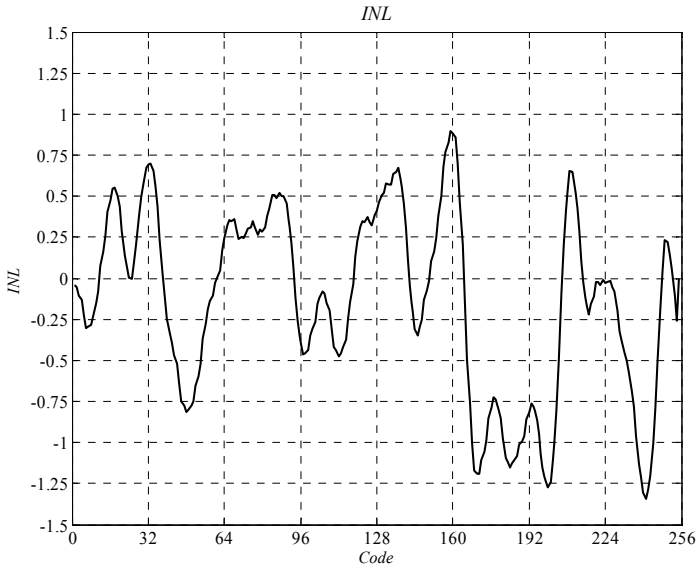
۷-٦ نتایج شبیه سازی مداری مبدل با امکان کالیبراسیون

برای شبیه سازی نحوه عملکرد کالیبراسیون در تصحیح خطاهای استاتیک، ابتدا مدار مطابق با شکل ۷-۵ در سطح ترانزیستور شبیه سازی گردید. در مرحله بعد برای هر یک از سلولها ولتاژ افستی بصورت تصادفی در نظر گرفته شد (مقدار واریانس این افست‌ها براساس رابطه و باتوجه به سطح کاهش یافته ترانزیستورها محاسبه گردید) و خطای INL برای حالتی که مبدل بدون کالیبراسیون به کار گرفته شود با استفاده از شبیه سازی مداری و سیستمی بدست آمد.

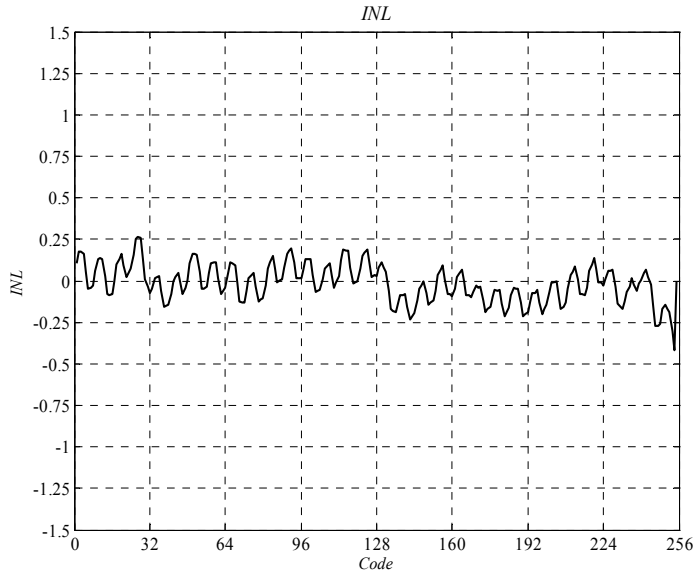
سپس با شبیه سازی زمانی مدار کالیبراسیون، کدهای کالیبراسیون ٤ بیتی برای تصحیح خطای ناشی از افست برای هر یک از ۳۲ سلول اصلی بدست آمد و به ترانزیستورهای قابل برنامه ریزی اعمال

گردید و درنهایت خطای INL برای حالتی که مبدل کالیبره شده باشد مجدداً با استفاده از شبیه سازی بدست آمد.

در شکل ۷-۱۰ نتیجه شبیه سازی در دو حالت با یکدیگر مقایسه شده‌اند. همانگونه که در شکل مشخص است حداکثر خطای INL از ۱/۳ LSB به حدود ۰/۳LSB کاهش یافته است.



آ)پیش از کالیبراسیون



ب)پس از کالیبراسیون

شکل ۷-۱۰ تاثیر کالیبراسیون روی خطای استاتیک شبیه سازی شده

برای بررسی تاثیر کاهش سطح ترانزیستورها در بالا بردن پهنای باند و بهبود رفتار دینامیک مبدل، فرکانس نمونه برداری افزایش داده شده تا حداکثر فرکانس نمونه برداری که به ازای آن تعداد بیت معادل برای ورودی با نرخ نایکویست به ۷ بیت برسد مشخص گردد.

نتایج شبیه سازی نشان می‌دهد با فرض مدار نمونه برداری ایده آل ، این مقدار بیش از ۳۰۰ مگاهرتز خواهد بود که نسبت به مبدل بدون کالیبراسیون بیش از دو برابر افزایش نشان می‌دهد. برای رسیدن به این فرکانس، جریان مرجع مبدل از ۵۰ میکروآمپر به ٦۰ میکروآمپر افزایش داده شد ولی این افزایش تا حدی با کاهش ناشی از حذف پیش تقویت کننده‌های مجازی جبران می‌شود.

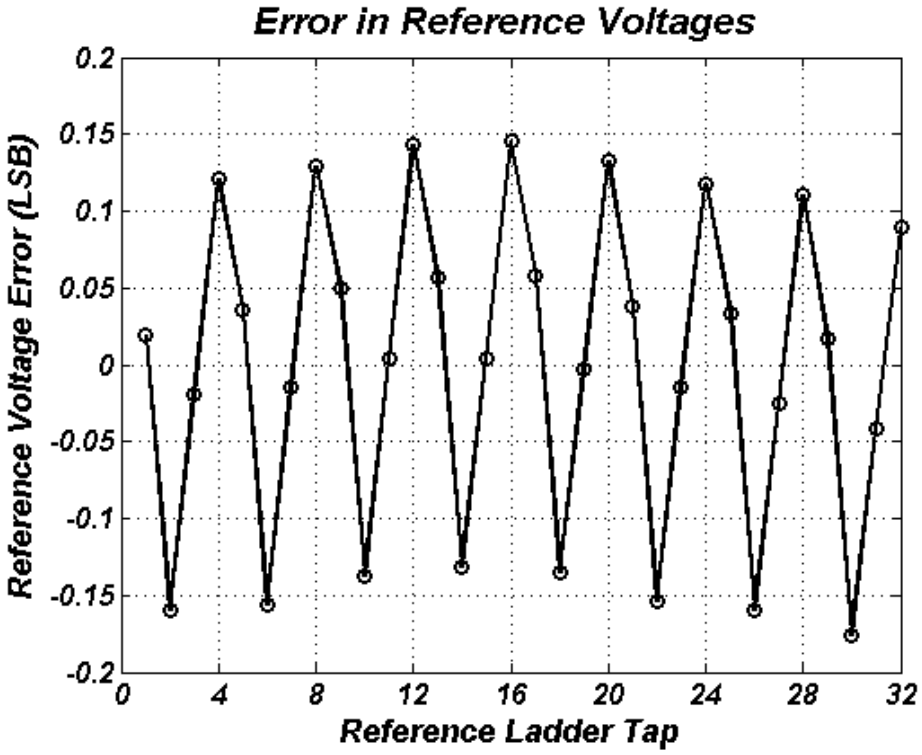
درنهایت توان مصرفی بخش آنالوگ مبدل با کالیبراسیون ۲۲ میلی وات خواهد بود که در مقایسه با مبدل اصلی تفاوت زیادی ندارد. توان مصرفی بخش دیجیتال با دو برابر کردن فرکانس از۳/۷۵ میلی وات به حدود ۸ میلی وات می‌رسد و توان مصرفی کل برای مبدل با کالیبراسیون ٤۵ میلی وات در مقایسه با ٤۱/۵ میلی وات با برای مبدل بدون کالیبراسیون خواهد بود. اگر انرژی مصرف شده برای هر تبدیل را بصورت زیر تعریف کنیم:

$$e = \frac{power}{f_s . 2^{ENOB}} \qquad (۱٤-۷)$$

که دراین رابطه $power$ توان مصرفی مبدل، f_s فرکانس نمونه برداری و $ENOB$ تعداد بیت معادل به ازای ورودی نایکویست است، مقدار e برای مبدل اصلی و مبدل با کالیبراسیون به ترتیب٤/۵۸ و ۱/۱۷ پیکو ژول خواهد بود.

شکل۷-۱۱ طیف فرکانسی خروجی را برای فرکانس نمونه برداری ۳۰۳ مگاهرتز و ورودی ۱٤۵ مگاهرتز نشان می‌دهد. همچنین تاثیر کوچک کردن ترانزیستورهای ورودی در کاهش خازن ورودی مبدل در شکل ۷-۱۲ مشخص است.

برای حذف اثر تغییرات احتمالی مقاومت‌های نردبان مقاومتی در طول اندازه گیری در اثر گرم شـدن، مقدار ولتاژ مرجع اصلی (ورودی نردبان مقاومتی) به عنوان مرجع به ولتمتر اعمـال شـد بـا پـردازش نتایج بدست آمده خطای ولتاژهای مرجع بصورت شکل ۷-۱۶ بدست آمد.

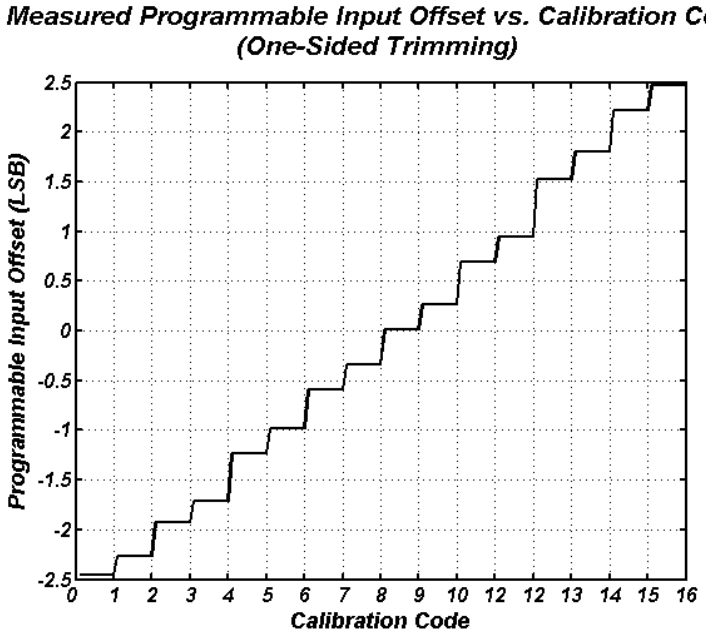


شکل ۷-۱۶ خطای ولتاژهای مرجع

همانگونه که در این شکل دیده می‌شود خطاهای ولتاژهای مرجـع بـا نظمـی تکـرار شـونده دارنـد و درمجموع محدوده‌ای بین LSB ۰/۱۵- تا LSB ۰/۱۵را پوشش می‌دهند. اگر خطای ولتاژهای اندازه گیری شده را به عدم تطبیق مقاومت‌های نردبان مقاومتی تبدیل کنیم. به نمودار شکل ۷-۱۷ می‌رسـیم که نشان می‌دهد مقاومت‌های نردبان از نظر دقت تطبیق در چهار گروه قرار می‌گیرند.

دوگروه از این چهارگروه از دقت خـوبی برخوردارنـد و بـا یکـدیگر نیـز بخـوبی همخـوانی دارنـد. مقاومت‌های گروه سوم اگرچه با یکدیگر برابرند، همگی به نسـبت دو گـروه اول خطـایی در حـدود ۰/۶٪ نشان می‌دهند و بالاخره گروه چهارم خطای مشترکی حدود ۰/۸٪ نسبت به دو گروه اول دارند.

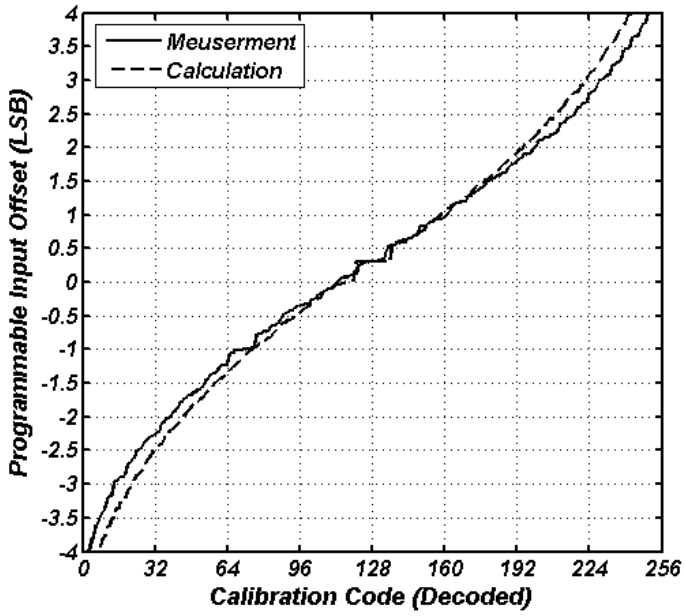
همانگونه که در شکل دیده می‌شود ، محدوده‌ای برابر $\pm$۲/۵ LSB با گام‌هایی در حدود ۰/٤ LSB با کالیبراسیون پوشش داده می‌شوند.



شکل ۷-۱۹ مقادیر اندازه گیری شده افست قابل برنامه ریزی

در مرحله بعد هر دو ترانزیستور با کدهای چهاربیتی کالیبره شدند و مقادیر بدست آمده برحسب رابطه بدست آمده در بخش قبل مرتب شدند. شکل۷-۲۰ مقادیر اندازه گیری شده را به ترتیب صعودی برحسب کدهای مرتب شده نشان می‌دهد.

مقدار پیش بینی شده توسط رابطه (۷-۳) نیز برای مقایسه در همین نمودار رسم شده است. برای تطبیق بهتر دو منحنی، مقدار ثابتی در حدود ۰/٤ LSB به مقدرا پیش بینی شده توسط رابطه اضافه شده است.این مقدار در حقیقت برابر افست مسیر مورد اندازه گیری است.



شکل ۷-۲۰ مقادیر اندازه گیری شده به ترتیب صعودی برحسب کدهای مرتب شده

درمجموع مقدار اندازه گیری شده و رابطه محاسباتی تطبیق خوبی با یکدیگر نشان می‌دهند که ثابت می‌کند استفاده از رابطه (۷-۳) که مربوط به ترانزیستورهایی با کانال طولانی است در این مورد خطای قابل ملاحظه‌ای ایجاد نمی‌کند.

در حالتی که هر دو ترانزیستور تنظیم شوند، کالیبراسیون محدوده‌ای برابر ± 4 LSB را با گام متوسط ۰/۰۳۳ LSB پوشش می‌دهد.

البته لازم به ذکر است که در عمل نویز، خطای افست مقایسه‌گرها و خطای درون یابی رسیدن به چنین حدی از INL را ناممکن می‌سازد.

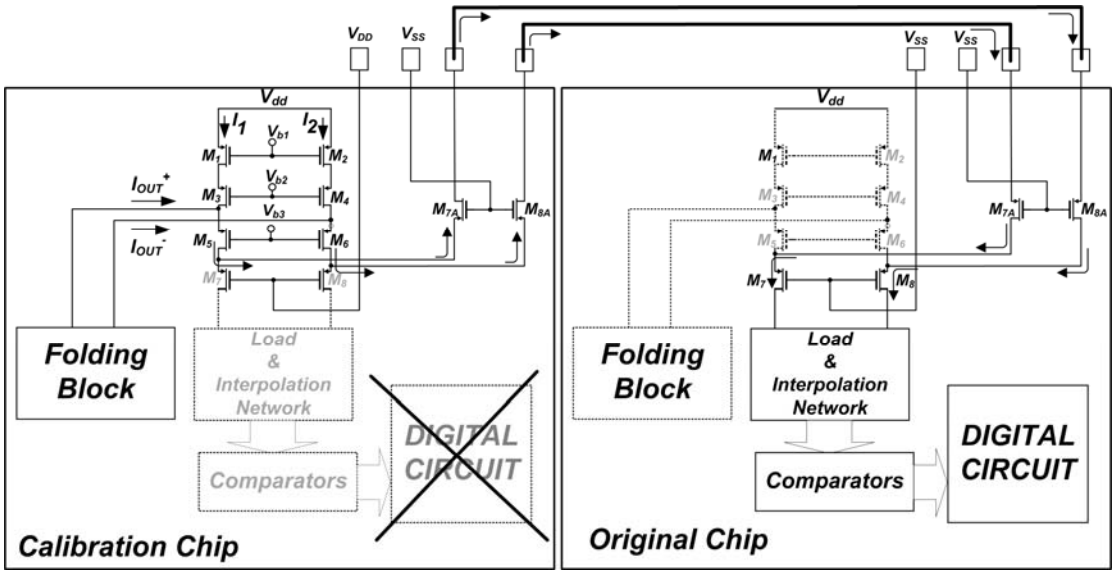
۷-۷-۲-۳ اندازه گیری خطای استاتیک

به منظور اندازه گیری تاثیر عملی کالیبراسیون روی خطای INL و DNL، لازم است که مبدل بصورت کامل با مقایسه گرها و بخش دیجیتال تست شود. در عمل در راه اندازی قسمت دیجیتال

مشخص شد بین مسیر تغذیه و زمین دیجیتال اتصال کوتاهی وجود دارد که این بخش را از کار انداخته است.

در بازبینی لی اوت مشخص گردید این اتصال کوتاه بعلت وجود یک مربع کوچک از لایه متال ۳ در بالاترین سطح لی اوت اتفاق افتاده است. در این سطح که چهار چیپ مختلف در کنار یکدیگر قرار گرفته‌اند بعلت پیچیدگی و حجم زیاد انجام عمل تطابق لی اوت با نقشه مداری انجام نگرفته است. لذا عملاً راهی برای تشخیص این اتصال کوتاه در مراحل قبل از ساخت وجود نداشته است. این اتصال کوتاه در محل بافرهای کلاک مقایسه‌گرها واقع شده و حتی اگر با میکرو جراحی برداشته شود، تعدادی از این بافرها از کار می‌افتد و تغییری در وضعیت ایجاد نمی‌شود.

خوشبختانه با امکانات درنظرگرفته شده راهی برای جایگزینی قسمت دیجیتال از کار افتاده با قسمت دیجیتال چیپ اصلی وجود دارد. به این ترتیب که با استفاده از سوئیچ‌های خروجی کمکی جریان‌های خروجی بلوک‌های فولدینگ مبدل با کالیبراسیون به بیرون چیپ هدایت گردید و از طرف دیگر در مبدل اصلی با وصل کردن همزمان سوئیچ‌های خروجی کمکی و اصلی، مسیری از خارج جیپ تا بارهای فعال در خروجی بلوک‌های فولدینگ ایجاد شد که جریان‌های خروجی بلوک‌های فولدینگ با کالیبراسیون از این مسیر به بارهای فعال و شبکه درون یابی مبدل اول اعمال گردید. شکل ۷-۲۱ چگونگی جایگزینی بخش دیجیتال دو مبدل را نشان می‌دهد.



شکل ۷-۲۱ چگونگی جایگزینی بخش دیجیتال دو مبدل

به منظور اطمینان از اینکه جریان اضافی از قسمت آنالوگ مبدل اصلی با جریان مبدل دوم جمع نشود، جریان مرجع مبدل اصلی قطع گردید.

از آنجا که مبدل درشت گام و ریزگام باید با هم سنکرون شوند، برای دستیابی به بیت‌های MSB و MSB-1 لازم است از مبدل درشت گام و ریزگام باید با هم سنکرون شوند، برای دستیابی به بیت‌های MSB و MSB-1 لازم است از مبدل درشت گام مبدل اصلی استفاده شود از آنجا که با از کار افتادن بخش دیجیتال مبدل دوم مکان استفاده از مدار نمونه برداری این مبدل نیز وجود ندارد، هر دو مبدل بدون مدار نمونه برداری (با استفاده از سوئیچ‌های ورودی کمکی) بکار گرفته شدند.

به این ترتیب امکان بکارگیری مبدل با امکان کالیبراسیون بصورت کامل برای ورودیهای فرکانس پایین و فرکانس نمونه برداری نه چندان بالا ایجاد شد. محدودیت بوجود آمده روی فرکانس ورودی ناشی از سه پارامتر زیر است :

۱- از آنجا که مبدل بدون مدار نمونه برداری به کار گرفته شده است، پدیده ضرب فرکانسی ناشی از رفتار غیرخطی بلوک فولدینگ یک محدودیت ذاتی روی فرکانس ورودی ایجاد می‌کند.

۲- قرارگرفتن مبدل درشت گام و ریزگام در دو چیپ متفاوت و بدون مدار نمونه برداری، باعث ایجاد تاخیرهای متفاوت در مسیر ورودی این مبدل‌ها می‌شود که با افزایش سرعت تغییرات ورودی، باعث ایجاد ناهماهنگی بین بیت‌های ساخته شده توسط این دو مبدل می‌گردد.

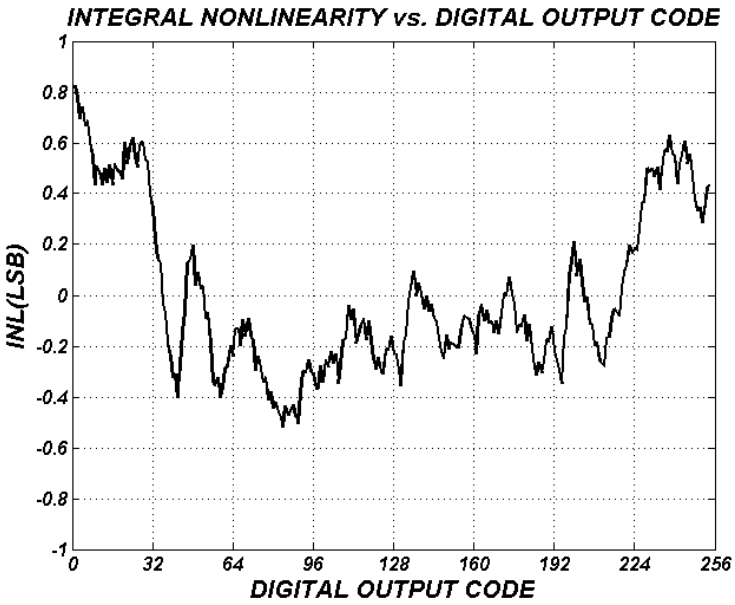
۳. مسیر اضافی ایجاد شده در خروجی بلوک‌های فولدینگ که شامل مسیر سلفی سیم‌های اتصال و خازن پراکندگی پدها و پین‌های خروجی‌های کمکی دو چیپ می‌شوند عملاً پهنای باند بخش آنالوگ را به میزان قابل ملاحظه‌ای کاهش می‌دهند.

در مورد فرکانس نمونه برداری، از آنجا که سیگنال نمونه برداری تنها به چیپ مبدل اصلی اعمال می‌شود، مشکلات کمتر است و در عمل مبدل با فرکانس نمونه برداری ۱۰۰ مگاهرتز بخوبی کار می‌کند. باافزایش فرکانس تا حدود ۲۰۰ مگاهرتز اگرچه مبدل به کار خود ادامه می‌دهد ولی کیفیت سیگنال خروجی به طرز محسوسی افت می‌کند.

برای اندازه گیری خطای INL از یک ورودی دندانه اره‌ای فرکانس پایین استفاده شد. ابتدا این خطا بدون انجام کالیبراسیون (با اعمال یک کد ثابت به تمام سلول‌ها) انجام شد. تعداد ٦٥٠٠٠ خروجی خوانده شده توسط لاجیک آنادایزر به کامپیوتر منتقل شده و خطای INL با روش هیستوگرام بدست آمد.

برای انجام کالیبراسیون ابتدا از روش ساده تشخیص محل عبور از صفر استفاده شد. در عمل وجود نویز و عدم قطعیت مقایسه گرها باعث شد که این روش به نتایج قابل قبولی منجر نگردد. به عبارت دیگر به ازای محدوده نسبتاً وسیعی از کدهای کالیبراسیون ، بیت LSB مرتباً بین یک و صفر تغییر

حالت می‌دهد. یک نمونه از خطای INL اندازه گیری شده پس از کالیبراسیون با این روش در شکل ۷-۲۲ دیده می شود.



شکل ۷-۲۲ خطای INL اندازه گیری شده پس از کالیبراسیون با روش عبور از صفر

روشی که در عمل برای کالیبراسیون مورد استفاده قرار گرفت به این ترتیب پیاده شد که خروجی دیجیتال با استفاده از مبدل دیجیتال به آنالوگ روی برد دوباره به آنالوگ تبدیل شد و در یک تفریق کننده آنالوگ با بهره و افست قابل تنظیم از سیگنال ورودی تفریق گردید. سیگنال خروجی تفریق کننده درواقع همان خطای INL است که بصورت زمان واقعی روی صفحه اسیلوسکوپ قابل مشاهده است (شکل ۷-۲۳).

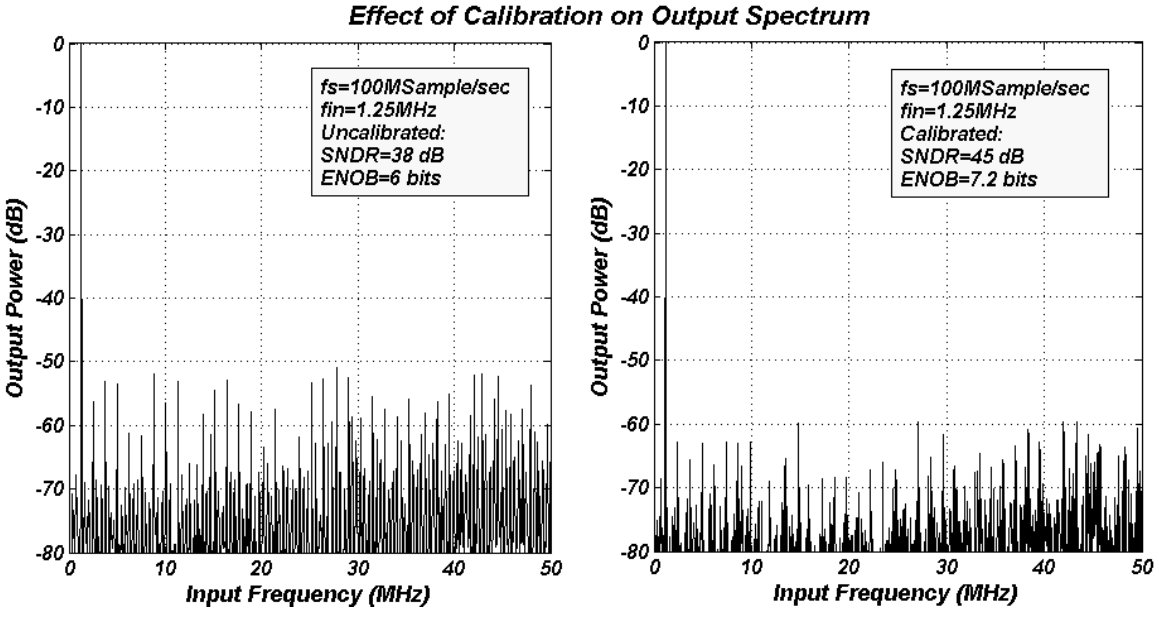
با تنظیم کدهای کالیبراسیون می‌توان به سادگی و به سرعت شکل موج خطای INL را به سمت یک یکنواخت شدن و کاهش دامنه سوق داد. همین روش بصورت نرم افزاری نیز قابل پیاده سازی است.

۷-۷-۲-٤ اندازه گیری پاسخ دینامیک

همان گونه اشاره شد، محدودیت‌های ایجاد شده مانع از اندازه گیری پاسخ دینامیک به ازای ورودی‌های فرکانس بالا و / یا فرکانس نمونه برداری بالاتر از مبدل اصلی شد. با اینحال، امکان اندازه گیری میزان تاثیر کالیبراسیون روی پاسخ دینامیک وجود دارد.

در شکل ۷-۲۵-آ طیف خروجی بازسازی شده مبدل کالیبره نشده به ازای یک ورودی سینوسی تمام دامنه با فرکانس ۱/۲۵ مگاهرتز دیده می‌شود. اعوجاج حاصل از وجود افست‌های مختلف باعث کاهش SNDR تا میزان ۳۸ دسی بل شده است.

پس از اعمال کدهای کالیبراسیون که در آزمون قبل بدست آمده است، طیف خروجی بار دیگر بازسازی شد میزان بهبود SNDR معادل ٦/٦ دسی بل و میزان بهبود SFDR در حدود ۱۰ دسی بل است.



ب آ

شکل ۷-۲۵ تاثیر کالیبراسیون بر رفتار دینامیک مبدل آ) بیش از کالیبراسیون ، ب) پس از کالیبراسیون

فصل۸ جمع‌بندی و کارهای آینده

۸-۱ جمع‌بندی

هدف از این پژوهش، ارائه روش‌ها و راهکارهایی به منظور بهبود عملکرد مبدل آنالوگ به دیجیتال فولدینگ در جهت افزایش محدوده ورودی، کاهش توان مصرفی، بالا بردن سرعت و کاهش ولتاژ تغذیه بوده است.

بصورت خلاصه روشهای ابداعی که در قسمتهای مختلف ارائه شده‌اند، عبارتست از:

- روش جدیدی برای افزایش دامنه ورودی با استفاده همزمان از زوج‌های تفاضلی NMOS و PMOS
- راهکارهای برای تنظیم مشخصهٔ سلول‌های فولدینگ NMOS و PMOS
- دو روش جدید برای بهبود عملکرد مدار نمونه‌برداری حلقه باز سوئیچ خازن در جهت کاهش خطای استاتیک و کاهش هارمونیک دوم و سوم
- بررسی تئوریک مبدل‌های موازی (چند مسیره) و بدست آوردن پارامترهای بیان کنندهٔ حساسیت ساختارهای مختلف به خطاها

- بررسی دقیق رفتار مقایسه‌گرهای دینامیک در حضور عدم تطابق خازنی، مدل کردن افست دینامیک این مقایسه گرها و ارائه دو ساختار برای مقایسه‌گر دینامیک با افست دینامیک پایین
- روش ابداعی برای کالیبراسیون مبدل فولدینگ با استفاده از ایجاد عدم تطابق بین ترانزیستورهای ورودی پیش تقویت‌کننده‌ها که در نهایت به بهبود عملکرد استاتیک و دینامیک مبدل بدون افزایش قابل ملاحظه توان و حتی به کاهش احتمالی سطح چیب منجر خواهد شد.

ساخت دو نمونه تراشهٔ مبدل و آزمون موفقیت‌آمیز آنها کارآیی روش‌های فوق را به اثبات رسانید. لازم به ذکر است که برای کتین کلیهٔ مراحل طراحی مدار، طراحی لی اوت و مراحل پس از آن شامل مقایسهٔ اوت و شماتیک DRS و استخراج مدار) در آزمایشگاه ISDL دانشکده برق دانشگاه صنعتی شریف انجام گرفته است که این امر در ارتقاء سطح آزمایشگاه چه از نظر ابزارهای مورد نیاز و چه از نظر ایجاد تجربه سفارش ساخت تاثیر به سزایی داشته است بصورتی که این امکان ایجاد شد که حداقل سه طرح موجود در آزمایشگاه ISDL در زمان اجرای این پژوهش به دو فضای اضافی موجود بدون هزینهٔ اضافی قابل ملاحظه‌ای برای ساخت ارسال شود و تقریباً همهٔ آنها با موفقیت مورد آزمایش قرار گیرند.

جدول ۸-۱ مشخصات مبدل های ساخته شده را در مقایسه با مبدل های فولدینگ گزارش شده نشان می دهد.

جدول ۸-۱ مشخصات مبدل های ساخته شده در مقایسه با مبدل های فولدینگ گزارش شده

No	Ref	# of Bits	Sampling Rate (MHz)	Tech. (um)	Supply voltage (V)	Input Range (V)	Input Cap. (pF)	Power (mW)	Area (mm^2)	Voltage Efficiency (%)	INL/DNL (LSB)	BW (MHz)	ENOB	SNDR (dB)	Energy per Conv. (pJ)	Year
1	**Proposed**	**8**	**250**	**0.18**	**1.5**	**1.2**	**3**	**48**	**1**	**80**	**0.3/0.2**	**100**	**6.68**	**42**	**1.87**	**2006**
		8	**80**	**0.18**	**1.2**	**0.96**	**7**	**30**	**1**	**80**	**0.6/0.5**	**40**	**6.68**	**42**	**3.65**	**2006**
		8	**100**	**0.18**	**1.5**	**1.2**	**7**	**40**	**1**	**80**	**0.55/0.4**	**50**	**6.68**	**42**	**3.89**	**2006**
2	[110]	6	100	0.18	1.8	1	?	4.5	0.28	?	0.5/0.5	50	5.50	35	0.99	2006
3	[111]	7	800	90	1.2	?	?	120	0.32	?	1.3/0.8	200	5.29	33.6	3.84	2006
4	[49]	8	2000	SiGe	-3.3	?	?	3500	12.2	?	1/0.5	700	7.45	46.5	10.0	2004
5	[103]	8	1600	0.18	1.8	0.8	1.8	774	3.6	44	0.35/0.15	800	7.26	45.4	3.16	2004
6	[46]	8	600	0.18	1.8	?	?	207	0.5	?	0.7/0.5	200	7.50	46.9	1.91	2004
7	[82]	8	600	0.18	1.8	2	0.5	200	0.2	111	0.8/0.4	200	7.50	46.9	1.84	2004
8	[112]	7	300	0.35	3.3	1.6	2	200	1.2	48	1/0.6	10	6.02	38	10.3	2003
9	[81]	8	200	0.35	3.3	2	?	120	1.02	60	1.4/0.9	100	5.87	37.1	10.3	2003
10	[44]	10	100	0.12	1.2	0.4	?	140	0.43	33	?	12.5	8.84	55	3.05	2002
11	[37]	8	100	0.5	5	1	?	165	1.68	20	1.3/0.4	3	6.73	42.3	15.5	2001
12	[102]	8	10	0.35	3.3	1	?	115	5.0	30	0.3/0.2	1	7.68	48	56.0	2001
13	[80]	8	125	0.35	3.3	2	?	110	0.8	60	1.5/0.7	62.5	6.39	40.2	10.5	2000
14	[55]	12	50	0.6	3.3	1.6	2	850	16	48	1.3/0.8	25	10.3	64	13.1	2000
15	[26]	6	400	0.5	3.2	2.3	1.4	200	0.6	71	?/0.9	100	5.30	33.6	12.7	1998
16	[25]	10	50	0.5	5	2	4.5	170	1.2	40	1.1/0.6	32	8.70	54	8.18	1997
17	[83]	8	80	0.5	3.3	1.6	2	80	0.3	48	0.8/0.45	10	7.02	44	7.72	1996
18	[39]	8	125	1	5	?	5	225	4	?	?/0.8	1	7.12	44.6	13	1996
19	[12]	6	175	0.7	3.3	1.2	4	160	12	36	1/0.8	84	3.99	25.8	57.7	1996
20	[24]	8	70	0.8	5	2	4.8	110	0.7	40	0.5/0.2	8	5.69	36	30.5	1995

با توجه به جدول، مزیت های زیر را می توان برای مبدل های ساخته شده برشمرد:

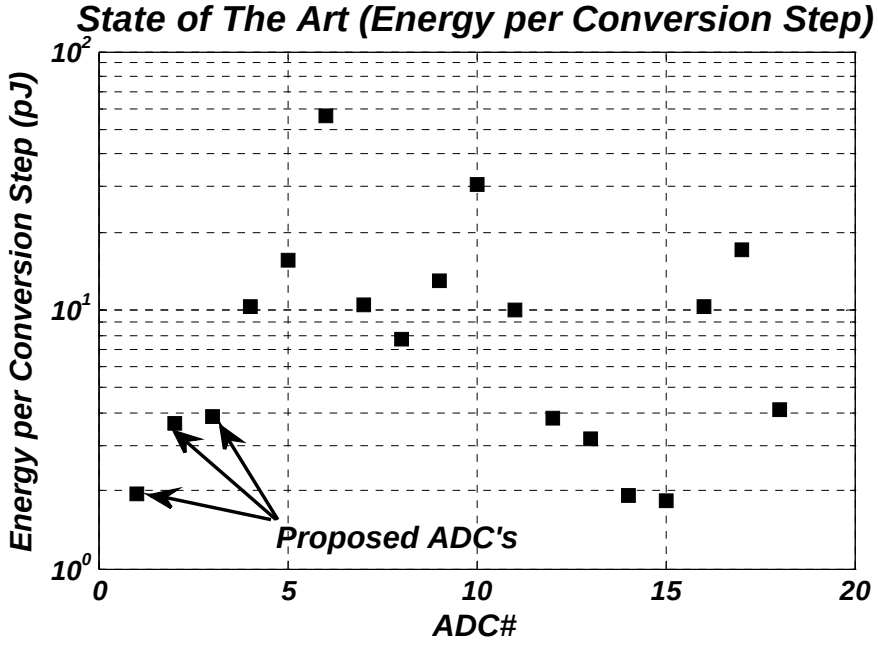
۱-پایین ترین ولتاژ تغذیه به نسبت تکنولوژی

۲-پایین ترین مقدار انرژی بر گام تبدیل[1] در میان مبدل های فولدینگ ۸ بیتی (دومین در کل)

[1] -Energy per Conversion Step(=Power/$2^{ENOB}.f_{Sampling}$)

۳-بالا ترین محدوده ورودی یک طرفه (دومین در کل مبدل هایی که محدوده ورودی آنها مشخص شده است)

در شکل ۸-۱ مقدار انرژی بر گام تبدیل برای مبدل های جدول فوق نشان داده شده است.



شکل ۸-۱ انرژی بر گام تبدیل برای مبدل های جدول ۸-۱

بر اساس فعالیت‌های انجام شده در مراحل مختلف این پژوهش و پژوهش‌های وابسته به آن پنج مقاله در کنفرانس‌های معتبر خارجی ارائه شده است که به ترتیب عبارتند از:

1. H. Movahedian, M. Azin, M. Sharif Bakhtiar, "A low voltage low power 8-bit folding/ interpolating ADC with rail-to-rail input range", *Proc. IEEE Int. Symp. Circuits Syst.* ,vol. 1, pp.I-77 - I-80, 2004.

2. H. Movahedian, M. Sharif Bakhtiar; "Design and sensitivity analysis of feed-forward neural ADC's ," *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 5, pp.V-816 - V-819, 2004.

3. H. Movahedian, M.S. Bakhtiar, "A 1.5v 8-bit low-power self-calibrating high-speed folding ADC," *Proc. PHD Research in microelectronics and electronics (PRIME)*, vol. 1, pp.55 - 58, 2005*.

4. M. Azin, H. Movahedian, M. Sharif Bakhtiar; “An 8-bit 160 MS/s folding-interpolating ADC with optimized active averaging/interpolating network,” *Proc. IEEE Int. Symp. Circuits Syst*, pp.6150 – 6153, 2005

5. M. Babaei, H Movahedian, M. Sharif Bakhtiar, “A novel method for systematic error prediction on folding and interpolating ADC,” *Proc. Asia-Pacific Conference on Circuits and Systems (APCCAS),* 2006.

* جزو مقالات برگزیده کنفرانس

همچنین چهار مقاله از نتایج این پژوهش به مجلات معتبر خارجی ارسال شده است که عبارتند از:

1. H. Movahedian, B.Sedighi, M. Sharif-Bakhtiar, "Wide-range single-ended CMOS track-and-hold circuit," *IEICE Electron. Express*, Vol. 4, No. 12, pp.400-405, June 2007.

2. H. Movahedian, M. Sharif Bakhtiar, “Low voltage low-power folding and interpolating ADC with rail to rail input range,” Submitted to *Journal of Analog Integrated Circuits and Signal Processing (Springer)*.

3. H. Movahedian, M. Sharif Bakhtiar, “A new method for mismatch-induced error cancellation in folding ADC” Submitted to *International Journal of Electronics and Communications (aeu, Elsevier)*.

4. H. Movahedian, A. Imani, M. Sharif Bakhtiar, “A Low Dynamic Offset Latched Comparator” Submitted to *IEICE Electron. Express.*

۸-۲ کارهای آینده

در ادامهٔ این پژوهش می‌توان در زمینه‌های مختلف طرح‌های پژوهشی تعریف و اجرا نمود که از آن میان موارد زیر قابل ذکر است:

۱- پیاده‌سازی برخی ساختارهای پیشنهاد شده برای مبدل آنالوگ به دیجیتال موازی

۲- تلفیق روش ارائه شده برای افزایش محدود به روش دیفرانسیل

۳- پیاده‌سازی روش‌های پیشنهادی در مبدل فولدینگ دو طبقه

٤- پیاده‌سازی الگوریتم‌های مختلف برای انجام کالیبراسیون مبدل فولدینگ

٥- بهینه‌سازی مدار نهایی در سطح لی‌لوت و ساخت دوباره آن به منظور رسیدن به سرعت‌های بالاتر نمونه‌برداری

در پایان لازم می‌دانم یکبار دیگر مراتب سپاسگزاری خود را از سرپرستی و راهنمایی‌های استاد ارجمند آقای دکتر شریف بختیار و همکاری اعضاء آزمایشگاه ISDL به ویژه آقایان صدیقی و ایمانی ابراز نمایم.

مراجع

[1] Website of World Semiconductor Trade Statistics www.wsts.org

[2] K. Rush and P. Byrne, “A 4GHz 8b data acquisition system,” in IEEE International Solid State Circuits Conference, pp.176-177, Feb. 1991

[3] W. T. Colleran, “A 10-b, 100MS/s A/D converter using folding, interpolation, and analog encoding,” Ph.D Dissertation, University of California Los Angeles, Los Angeles, CA, Dec. 1993.152

[4] M. Choi, A. Abidi, “A 6-b 1.3-Gsample/s A/D converter in 0.35-µm CMOS,”IEEE Journal of Solid-State Circuits, Vol.36, No.12, pp. 1847-1858, Dec. 2001

[5] P.C. Scholtens, M. Vertregt, “A 6-b 1.6-Gsample/s flash ADC in 0.18um CMOS using averaging termination,” IEEE J Solid-State Circuits, vol. 37,pp. 1599-1609, Dec. 2002. 1599

[6] T. Wakimoto, Y. Akazawa, and Y. S. Konaka, “Si bipolar 2-GHz 6-bit flash A/D conversion LSI,” IEEE Journal of Solid-State Circuits, vol. 23, pp. 1345-1350, Dec. 1988.

[7] M. Hotta, T. Shimizu, K. Maio, K. Nakazato, and S. Ueda, “A 12-mW 6-b video frequency A/D converter,” IEEE Journal of Solid State Circuits, vol. SC-22, pp. 939-943, Dec. 1987.

[8] B. Zojer, R. Petschacher, and W. A. Luschnig, “A 6-Bit/200-MHz full Nyquist A/D converter,” IEEE Journal of Solid-State Circuits, vol. SC-20, pp. 780-786, June 1985.

[9] Yukawa, “An 8-bit high-speed CMOS A/D converter,” IEEE Journal of Solid-State Circuits, vol. SC-20, pp 775-779, June 1985

[10] F. Goodenough, “Interpolators put 10-bit 75MHz A/D converters on 8-bit digital process,” Electronic Design, pp. 29-30, Dec. 1989.

[11] H. Kimura, A. Matsuzawa, T. Nakamura, and S. Sawada, “A 10-b 300-MHz interpolated-parallel A/D converter,” in IEEE Symposium on VLSI Circuits, pp. 94-95, June 1992.

[12] R. Roovers, M. Steyaert, “A 175 Ms/s, 6-b 160-mW 3.3-V CMOS A/D converter,” IEEE Journal of Solid-State Circuits, Vol. 31, No. 7, pp. 938-944, July 1996.

[13] Jerry Lin, Baher Haroun, “ An Embedded 0.8V/480uW 6B/22 MHZ Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique” IEEE Journal of Solid-State Circuits, Vol. 37, No. 12, pp. 1610-1617,December 2002.

[14] J. Doernberg, P. R. Gray, and D. Hodges, “A 10-bit 5-MS/s CMOS two-step flash ADC,” IEEE Journal of Solid-State Circuits, vol.24, pp. 241-249, April 1989

[15] J. R. Fernandes, S. R. Lewis, A. M. Mallinson, and G. A. Miller, “A 14-bit 10-μs subranging A/D converter with S/H,” *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 1309-1315, Dec. 1988

[16] T. Shimizu, M. Hotta, K. Maio, and S. Ueda, “A 10-bit 20-MHz two-step parallel A/D converter with internal S/H,” *IEEE Journal of Solid-State Circuits*, vol.24, pp. 13-20, Feb. 1989

[17] B. S. Song, S. H. Lee, and M. F. Tompsett, "A 10-b 15-MHz CMOS recycling two-step A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 1328-1338, Dec. 1990

[18] A. Arbel and R. Kurz, "Fast ADC," IEEE Transactions on Nuclear Science, vol.NS-22, pp. 446-451, Feb. 1975

[19] T. B. Cho and P. R. Gray, "A 10-b, 20-MS/s, 35mW pipeline A/D converter," IEEE Journal of Solid-State Circuits, vol. 30, pp 166-172, March 1995.

[20] W. T. Colleran and A. A. Abidi, "A 10-b, 75 Ms/s two stage pipelined bipolar A/D converter," IEEE Journal of Solid-State Circuits, vol. SC-28, pp. 1187-1199, Dec. 1994.

[21] K. Sone, N. Nakada, and Y. Nishida, "A 10 b 100 MS/S pipelined sub-ranging BiCMOS ADC," in *IEEE International Solid-State Circuits Conference*, pp. 66-67, Feb. 1993

[22]T. Matsuura, M. Hotta, K. Usui, E. Imaizumi, and S. Ueda, "A 95mW, 10-b 15 MHz low-power CMOS ADC using analog double-sampled pipelining scheme," in *IEEE Symposium on VLSI Circuits*, pp. 98-99, 1992

[23] IEEE Std 1241-2000 "IEEE standard for Terminology and Test Methods for Analog-to- Digital Converters"

[24] B. Nauta and A. G. W. Venes, "A 70- MS/ s 100- mW 8- b CMOS folding and interpolating A/ D converter," *IEEE J. Solid- State Circuit*s, vol. 30, pp. 1302-1308, Dec. 1995.

[25] K. Bult and A. Buchwald, "An embedded 240- mW 10- b 50- MS/ s CMOS ADC in 1 mm^{2}" *IEEE J. Solid- State Circuit*s, vol. 32, pp. 1887- 1895, Dec. 1997

[26] M. Flynn and B. Sheahan, “A 400- Msample/ s, 6b CMOS folding and interpolating ADC” *IEEE J. Solid- State Circuit*s, pp. 1932- 1938, Dec. 1998.

[27] Tank,D.W., and Hopfield,J.J.:”Simple neural optimization networks: An A/D converter, signal Decision circuit and a linear programming circuit” IEEE Trans., May 1986, CAS-36

[28] Chigusa, Y., and Tanaka, M.:”A neural-like feedforward ADC” Proc. IEEE Int. Symp. On circuits and Systems, May 1990

[29] H. Movahedian, M. Sharif Bakhtiar; “Design and sensitivity analysis of feed-forward neural ADC's ,” *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 5, pp.V-816 - V-819, 2004.

[30] Y. Li, and E. Sánchez-Sinencio, “Current mirror based folding amplifier,” Proceedings of 43rd IEEE Midwest Symposium on Circuits and Systems, Lansing, MI, pp. 60-63, Aug. 2000

[31] R. J. Plassche and J. Van Valburg, “An 8-bit 650MHz folding ADC,” IEEE Journal of Solid-State Circuits, Vol. 27, pp. 1662-1666, Dec. 1992.

[32] Yunchu Li “Design of High Speed Folding and Interpolating Analog-to-Digital Converter” Ph.D Dissertation, Texas A&M University, May 2003, p 45.

[33] R. J. Plassche, and R. J. Grift, “A high-speed 7-b A/D converter,” IEEE Journal of Solid-State Circuits, Vol. SC-14, pp. 938-943, Dec. 1979.

[34] S. Gueorguiev, E. Klumperink, B., “1 Volt Current Mode Folding Analog to Digital Conversion Architecture” Proceedings of the 12th ProRISC workshop (program for Research on Integrated Systems and Circuits)

[۳۵] بابایی، مسعود"طراحی یک مبدل آنالوگ به دیجیتال ۱۲ بیتی ولتاژ پایین و سرعت بالا به روش فولدینگ" پایان نامه کارشناسی ارشد الکترونیک آبان ۱۳۸۵ صفحه ٤٩

[36] R. E. J. Van de Grift, I. W. J. M. Rutten and M. van der Veen, "An 8- bit video ADC incorporating folding and interpolation techniques," *IEEE J. Solid- State Circuit*s, vol. SC-22, pp. 944- 953, Dec. 1987

[37] M. J. Choe, B. S. Song, and K. Bacrania, "An 8- b 100- MSample/ s CMOS Pipelined Folding ADC*" IEEE J. Solid- State Circuits*, Vol. 36, No. 2, Feb 2001

[38] R. J. Plassche, and P. Baltus, "An 8-b 100MHz full Nyquist A/D converter," IEEE Journal of Solid-State Circuits, Vol. 23, pp. 1334-1344, Dec. 1988

[39] M. P. Flynn, and D. J. Allstot, "CMOS Folding ADCs With Current-Mode Interpolation" IEEE International Solid-State Circuits Conference, 1995. Digest of Technical Papers. 42nd ISSCC, pp. 274 -275, Feb. 1995

[40] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching properties of MOS transistors," IEEE Journal of Solid-State Circuits, vol. 24, pp. 1433-1439, Oct. 1989

[41] J.A. Croon, M. Rosmeulen, S. Decotere, W. Sansen and H. E. Maes, "A simple characterization method for MOS transistor matching in deep submicron technologies" Proc. IEEE Int. Conference on Microelectronic Test Structures, Vol 14, pp 213-218 March 2001

[42] S. Limotyrakis, K.Y. Nam, and B. A. Wooley, "Analysis and Simulation of Distortion in Folding and Interpolating A/ D Converters" *IEEE Trans. Circuits and Systems.* Vol. 49, No. 3, MARCH 2002

[43] K. Bult, "Analog Design in Deep Sub- Micron CMOS" 26th European Solid State Circuits Conference, Sep. 2000.

[44] A.S. Blum, B.H. Engl, H.P. Eichfeld, R. Hagelaver, and A.A. Abidi, “A 1.2 V 10-b 100-M Samlpes/s A/D Converter in 0.12 um CMOS,” IEEE Sym. On VLSI Circuits Dig. Tech. Papers, pp. 326-327, 2002

[45] A. Pierazzi, and A. Boni, “ Design Issues For A High Frequency, 0.35um, 3.3v CMOS Folding A/D converter” proceedings of *IEE ADDA'99 Conference,* pp. 115-118, Glasgow, UK, July 1999

[46] Zheng- Yu Wang, Hui Pan, Chung-Ming Chang, Hai-Rong Yu and M. Frank Chang, “A 600 MSPS 8-bit Folding ADC in 0.18um CMOS” Proc. Symposium On VLSI Circuits Digest of Technical Papers pp 424427 2004

[47] H. Movahedian, M. Azin, and M. Sharif Bakhtiar, “A Low Voltage Low Power 8-bit Folding/Interpolating ADC with rail-to-rail Input Range” Int. Symp. On Circuits and Systems, pp. 77-80, May 2004.

[48] X. Jiang, Y. Wang, and N. Willson Jr, “A 200 MHZ 6-Bit Folding And Interpolating ADC In 0.5-um CMOS” ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Cir. And Sys. Volume: 1 , 31 May-3 June 1998

[49] F. Vessal, and C. Andre T. Salama, “An 8-Bit 2-Gsample/s Folding-Interpolating Analog-to-Digital Converter in SiGe Technology” *IEEE J. Solid- State Circuit*s, vol. 39, pp. 234- 241, Jan. 2004

[50] Rajesh Thirugnanam, Dong Sam Ha and Sang S. Choi, “Design of a 4-bit 1.4 GSamples/s Low Power Folding ADC for DS-CDMA UWB Transceivers”, 2005 IEEE International Conference on Ultra-Wideband pp 536 – 541 Sept. 2005

[51] F. Maloberti, P. Estrada, P.Malcovati, and A. Valero “Behavioral modeling and simulations of data converters” *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 4, pp.IV-700 - IV-703, 2003

[52] Ta-Hsun Yeh Lin, J.C.H. Shyh-Chyi Wong Huang, H. Sun, J.Y.C. “Mis-match characterization of 1.8 V and 3.3 V devices in 0.18 μm mixed signal CMOS technology”, Proceedings of the 2001 International Conference on Microelectronic Test Structures, pp 77-82 2001

[53] Lovett, S.J. Welten, M. Mathewson, A. Mason, B. “ Optimizing MOS Transistor Mismatch” *IEEE J. Solid- State Circuit*s, vol. 33, pp. 147- 150, Jan. 1998

[54] Carnu, O. and Leuciuc, A. “Optimal offset averaging for flash and folding A/D converters” *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 1, pp.I-133 - I-136, 2004

[55] H. Pan, M. Segami, M. Choi, J. Cao, F. Hatori and A. Abidi, “A 3.3V, 12b, 50MSample/ s A/ D converter in 0.□mm CMOS with over 80dB SFDR,” *ISSCC Digest of Technical Paper*s, pp. 40- 41, Feb. 2000

[٥٦] آذین، میثم " طراحی یک مبدل آنالوگ به دیجیتال ۸ بیتی به روش Folding-Interpolating"

پایان نامه کارشناسی ارشد الکترونیک مهر ۱۳۸۳ صفحه ٤٨

[٥٧] همان مرجع، صفحه ٥١

[58] Mohamed Zin, M.A. Kobayashi, H. Kobayashi, K. Ichimura, J.-I. Hao San Onaya, Y. Kimura, Y. Yuminaka, Y. Sasaki, Y. Tanaka, K. Abe, F “A high-speed CMOS track/hold circuit” Proceedings of The 6th IEEE International Conference on Electronics, Circuits and Systems, Vol 3, pp 1709-1712 1999

[59] Centurelli, F. Monsurro, P. and Trifiletti, A. “A model for the distortion due to switch on-resistance in sample-and-hold circuits” *Proc. IEEE Int. Symp. Circuits Syst.*, pp.4787-4790, 2006

[60] M. Waltari, K. Halonen “Circuit Techniques for Low-Voltage and High-Speed A/D Converters” Springer, 2002

[61] F. Maloberti, F. Francesconi, P. Malcovati, O. J. A. P. Nys, “Design Considerations on Low-Voltage Low-Power Data Converters,” IEEE Trans. Circuits and Systems-I, vol. 42, pp.653-663, Nov. 1995

[62] A. M. Abo, P. R. Gray, “A 1.5V, 10-bit, 14MS/s CMOS Pipeline Analog-to-Digital Converter,” 1998 Symposium on VLSI Circuits Digest of Technical Papers, pp.166-169.

[63] D. G. Haigh, B. Singh, “A Switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals” in Proc. IEEE International Symposium on Circuits and Systems, pp.586-589, 1983

[64] T.-S. Lee and C.-C. Lu, “Design techniques for low-voltage high-speed pseudo-differential CMOS trackand-hold circuit with low hold pedestal” ELECTRONICS LETTERS, Vol. 40 No. 9, April 2004

[65] C. G. Conroy, D.W. Cline, P.R. Gray, “A high-speed parallel pipelined ADC technique in CMOS,” IEEE Symposium on VLSI Circuits, pp. 96-97, 1992

[66] P. J. Lim, B. A. Wooley, “A High-Speed Sample and Hold Technique Using A Miller Hold Capacitance” IEEE J. Solid State Circuits, vol 26, pp.643-651,Apr.1991

[67] M. Nayebi, B.A. Wooley, “A0-bit Video BICMOS Track-and-Hold Amplifier” IEEE J. Solid State Circuits, vol24, pp.1507-1516, Dec.1989

[68] S. Kim, M. Song, “An 8-b 200MSPS CMOS A/D converter for analog interface module of TFT-LCD driver,” IEEE International Symposium on Circuits and Systems, vol. 1, pp. 528-531, May 2001.

[69] W. C. Black, Jr., D. A. Hodges, “Time Interleaved Converter Arrays,” IEEE J. Solid State Circuits, vol SC-15, pp. 1022-1029, Dec. 1980

[70] Behzad. Razavi “Design of Analog CMOS Integrated Circuits” McGraw-Hill, 2001 p. 32

[71] Mohamed Dessoukey, Andreas Kaiser, “Very Low-Voltage Digital-Audio ((Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping” IEEE J. Solid State Circuits, vol 36, pp. 349-355, March 2001

[72]M. WALTARI and K. HALONEN, “Bootstrapped switch without body effect in standard CMOS technology,” *IEE Electronics Lett.*, vol. 38, pp. 555-557, 2002.

[73] Taiwan Semiconductor Manufacturing Company, Doc. No. T-018-MM-RP-003, “TSMC 0.18UM Mixed Signal 1P6M+ Salicide 1.8V/3.3V Devices With Deep N-Well Characterization Report” Oct. 1999

[74] T. S. LEE and C. C. LU, “A 1.5V 50-MHz pseudo-differential sample-and-hold circuit with low hold pedestal," *IEEE Trans. Circuits and Sys.-I*, vol. 52, pp. 1752-1757, Sep. 2005

[75] C.J.B. FAYOMI, G.W. ROBERTS and M. SAWAN, “Low-Voltage CMOS Analog Bootstrapped Switch for Sample-and-Hold Circuit,” *Proc. IEEE Int. Symp. Circuits and Sys.* pp. 2200-2203, May 2005.

[76]F. Centurelli, P. Monsurrò, A. Trifiletti, “ A model for the distortion due to switch on-resistance in sample-and-hold circuits” Proc. IEEE International Symposium on Circuits and Systems, pp. 4287-4790, May 2006.

[77] Taiwan Semiconductor Manufacturing Company, Doc. No. T-018-MM-RP-004, “TSMC 0.18UM Mixed Signal 1P6M+ Salicide 1.8V/3.3V P+ Poly Resistor Characterization Report” August 2001

[78] Z. Wang, H. Pan, C. Chang, H. Yu, and F. Chang, “A 600 MSPS 8-bit ADC in 0.18um CMOS” Proc. Symposium on VLSI Circuits Digest of Technical Papers, pp.424-427, 2004

[79] Seung-Chan Heo, Young-Chan Jang, Sang-Hune Park, Hong-June Park, "An 8-bit 200MS/s CMOS Folding/Interpolating ADC with a Reduced Number of Preamplifiers Using an Averaging Technique,” IEEE ASIC/SOC Conference, pp. 80-83, Sept. 2002

[80] K.Yoon, J. Lee, D. Jeong, and W. Kim, “An 8-Bit 125Ms/s CMOS Folding ADC For Gigabit Ethernet LSI,” Symposium on VLSI Circuits, pp. 212 -213, June 2000

[81] Seung-Chan Heo, Young-Chan Jang, Sang-Hune Park, Hong-June Park, "An 8-bit 200MS/s CMOS Folding/Interpolating Analog-to-Digital Converter” IEICE trans. Electronics, vol. E86-C No. 4, April 2003

[82] G. Geelen, and E. Paulus, “An 8b 600MS/s 200mW CMOS Folding A/D Converter Using an Amplifier Preset Technique,” Proc. IEEE International Solid-State Circuits Conference, pp. 2004

[83] A. G. W. Venes and R. J. van de Plassche, “An 80- MHz, 8- b CMOS folding A/ D converter with distributed track- and- hold preprocessing,” *IEEE J. Solid- State Circuit*s, vol. 31, pp. 1846- 1853, Dec. 1996

[84] T. Cho and P. Gray, “A 10 b, 20 Msample/s, 35 mW pipeline A/D converter,” *IEEE J. Solid-State Circuits*, vol. 30, pp. 166–172, Mar. 1995

[85] L. Sumanen, M. Waltari, K. Halonen, “A mismatch insensitive CMOS dynamic comparator for pipeline A/Dconverters” Proc. ICECS, vol. 1, pp. 32 - 35, Dec. 2000

[86] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert and Arlo J. Aude “A 69- mW 10- bit 80- MSample/ s Pipelined CMOS ADC” *IEEE J. Solid- State Circuit*s, VOL. 38, NO. 12, DEC 2003

[87]Fayomi, C.J.B., Roberts, G.W., Sawan, M. (2000). Low Power/Low Voltage High Speed CMOS Differential Track and Latch Comparator With Rail-to-Rail Input. . *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings,* v. 5, p. 653-656

[88] L. Samid, P. Volz, and Y. Manoli, “A dynamic analysis of a latched CMOS comparator Proc. IEEE ISCAS., May 2004, pp. 181–184

[89] A. Nikoozadeh, Boris Murmann, “ An analysis of latch comparator offset due to load capacitor mismatch” *TCAS II:EXPRESS BRIEFS, vol. 53, No.12, pp1398-1402, Dec.2006*

[90] M. J. E. Lee, W. J. Dally, and P. Chiang,” Low-power area-efficient high speed I/O circuit techniques” *IEEE J. Solid- State Circuit*s, vol. 35, No. 11, pp. *Nov.2000*

[91] Jan Craninckx, Geert Van der Plas, “A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW

9b Charge-Sharing SAR ADC in 90nm Digital CMOS" *Proc. IEEE International Solid-State Circuits Conference, pp. 2007*

[92] R. W. Gregor, "On the Relationship Between Topography and Transistor Matching in an Analog CMOS Technology" IEEE Trans. On Electron Devices, vol. 39 No. 2, Feb. 1992

[93] National Semiconductor Corporation, Application Note 1205, "Electrical Performance of Packages" August 2001

[94] AMD Company, Package and Packing Publication, Rev. A, Chapter5: Package Characterization, p. 5-16 March 2003

[95] Jerry Twomey, "Noise Reduction and Floor Planning for Mixed Signal ASIC's Part 2: Floor Planning the IC for Noise Reduction" Electronic Design Magazine, Dec. 2000

[96] Jerry Twomey, "Analog and Mixed Signal Circuits On Digital CMOS Processes"

[97] D. K. Su, M. J. Loinaz, S. Masui, and B. A. Wooley, "Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits", IEEE Journal of Solid-State Circuits, Vol. 28, no. 4, pp. 420-430, April 1993

[98] Maxim Co. Application Note 2085, "Histogram Testing Determines DNL and INL Errors" May 2003

[99] Murmann, B.; Boser, B.E. "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification" *IEEE J. Solid- State Circuit*s, vol. 38,No 12, pp. 2040 - 2050, Dec. 2003

[100] Un-Ku Moon, and Bang-Sup Song "Background digital calibration techniques for pipelined ADCs" IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Volume: 44, Issue: 2 pp 102-109 Feb 1997

[101]M. Flynn, C. Donovan, and L. Sattler, "Digital Calibration Incorporating Redundancy of Flash ADCs" IEEE Trans. Circuits and Systems-II, vol. 50, No. 5, pp.205-213, May 2003

[102] M. H. Liu and Sh. I. Liu, "An 8- bit 10 MS/ s Folding and Interpolating ADC Using the Continuous- Time Auto- Zero Technique" *IEEE J. Solid-State Circuits*, Vol. 36, No.1, Jan. 2001

[103]Taft R., Menkus Chris A., Tursi Maria Rosaria, Hidri Ols and Pons Valerie. A 1.8-V 1.6-GSample/s 8-b Self-Calibrating Folding ADC With 7.26 ENOB at Nyquist Frequency. *IEEE J. Solid- State Circuit*s Dec. 2004; vol. 39, No.12: 2107-2115

[104]Razavi Behzad. Design of Analog CMOS Integrated Circuits. McGraw-Hill, p. 468, 2001

[105]Tang A.T.K. and Toumazou C. Self-Calibration for High-Speed High-Resolution D/A Converters. Advanced A-D and D-A Conversion Techniques and their Applications, 6-8 Jul. 1994, Conference Publication No. 393, IEE 1994, pp. 142-147

[106]Movahedian H. and Sharif Bakhtiar M. A New Offset Cancelation Technique For Folding ADC. Proceedings of International Symposium on circuits and systems, May 2005. P 200 – 203

[107]Cherubal S. and Chatterjee A. Optimal Linearity Testing of Analog-to-Digital Converters Using a Linear Model. IEEE Trans. on Circuits and Systems-I March 2003; vol. 50, No. 3: 317-327

[108]R. de Vries and A.J.E.M. Janssen, "Decreasing the Sensitivity of ADC Test Parameters by means of Wobbling"

[109]B. Dufort and G. W. Roberts, "On-Chip Analog Signal Generation for Mixed-Signal Built-In Self-Test" *IEEE J. Solid-State Circuits*, vol. 34, No. 3, pp. 318-330, March 1999

[110] J. Moon, S. Jung, S. Hwang, M. Song, "A 6b 100MS/s 0.28mm2 5mW 0.18um CMOS F/I ADC with a Novel Folder Reduction Technique" Proc. IEEE International Conference on Electronics, Circuits and Systems, pp. 140 – 143, Dec 2006.

[111] K. Makigawa, K. Ono, T. Ohkawa, K. Matsuura, M. Segami, "A 7bit 800Msps 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme" Symposium on VLSI Circuits, Digest of Technical Papers, pp. 138 – 139, 2006

[112] Y. Li, and E. Sánchez- Sinencio, "A Wide Input Bandwidth 7- bit 300- MSample/ s Folding and Current- Mode Interpolating ADC" *IEEE J. Solid-State Circuits*, Vol. 38, No.8, pp. 1405-1410, Aug. 2003